



TITLE:

記憶装置の高集積化・大容量化に関する研究(Dissertation_全文)

AUTHOR(S):

蒲生, 容仁

CITATION:

蒲生, 容仁. 記憶装置の高集積化・大容量化に関する研究. 京都大学, 1983, 工学博士

ISSUE DATE:

1983-01-24

URL:

<https://doi.org/10.14989/doctor.r4861>

RIGHT:

記憶装置の高集積化・
大容量化に関する研究

蒲 生 容 仁

1982年7月

内 容 梗 概

問 題 点 の 概 要 と 本 研 究 の 目 的

1. 各種記憶装置の位置付け

記憶装置（以下メモリと略記する）に要求される基本的性能は大容量でかつ高速であることである。現実のメモリとして、工業化されるには、これに付随して信頼性と経済性が大きな問題となる。計算機概念が生まれて以来、実に多種多様のメモリの研究開発が行われてきたが、高性能化と経済性向上のバランスがとれ、究極的に社会のニーズに適合したもののみが現実に使用され、事業化されてきた。

メモリの基本的機能は、情報の書き込み、保持、読み出しの3種であり、その構成は図-1に示すように、入出力回路、メモリセルアレイ、及びそのインタフェースとしての周辺回路とから成っている。記憶容量と動作速度の間には密接な関係があり、一般に大容量になると動作速度は遅くなる。

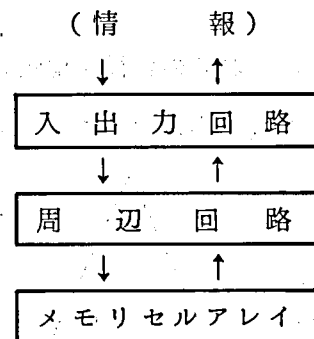


図 - 1 メモリの基本構成

図-2に現実の各種メモリの記憶容量と動作速度（アクセスタイム）を示す。また、同図にメモリ検索方式に対する物理的な限界も示す。この限界値は1ビットを記憶するメモリセルを100個程度の原子か分子で構成し、これを密に並べたアレイを光速で走査する場合について計算した値である。現実のメモリはどれもこの物理的限界から遠く離れており、このことは現在のメモリの性能が、メモリセルの寸法限界のような原理的なことで抑えられているのではなく、装置に個有のセルの動作機構、アレイの構成法、周辺回路や入出力回路技術等によって決定されていることを示している。

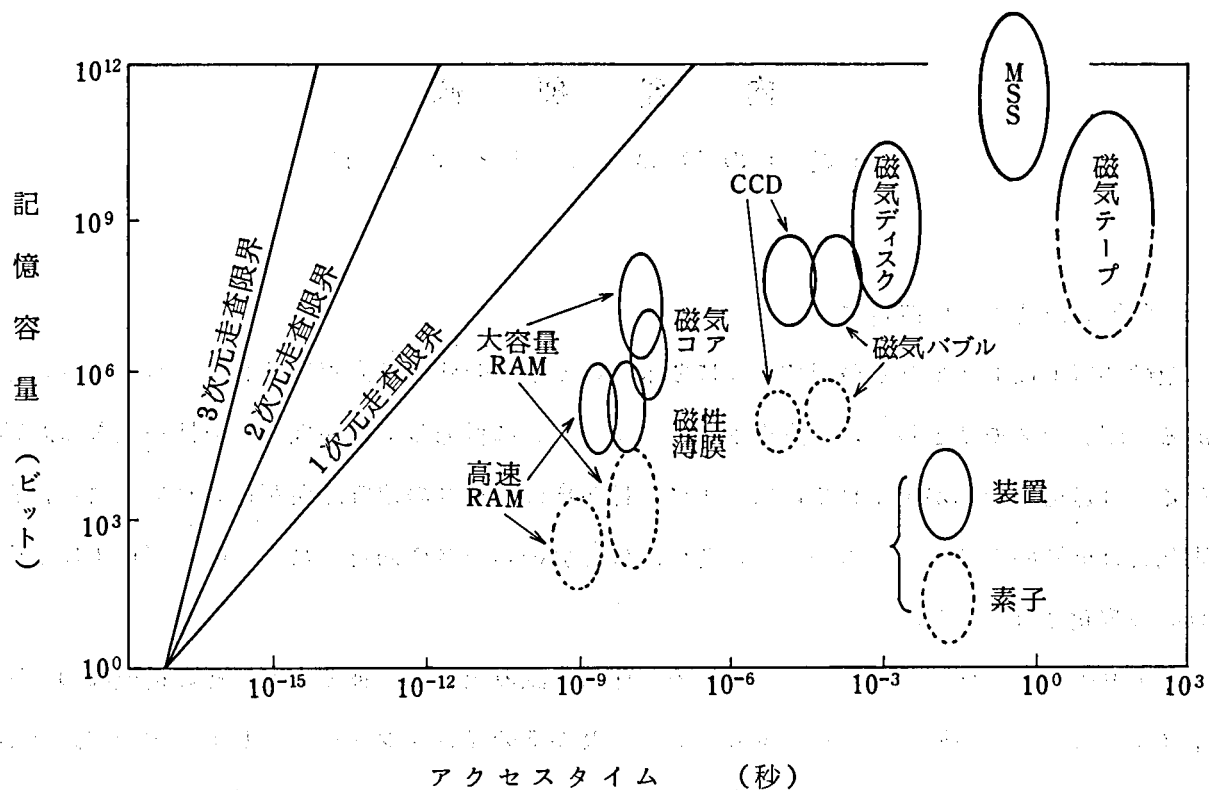


図-2 各種メモリの記憶容量と動作速度

現実の計算機システムにおいては、これらの各種記憶装置を階層的に使用し、図-3に示すような階層記憶を構成し、実効的に大容量で高速のメモリシステムを実現している。

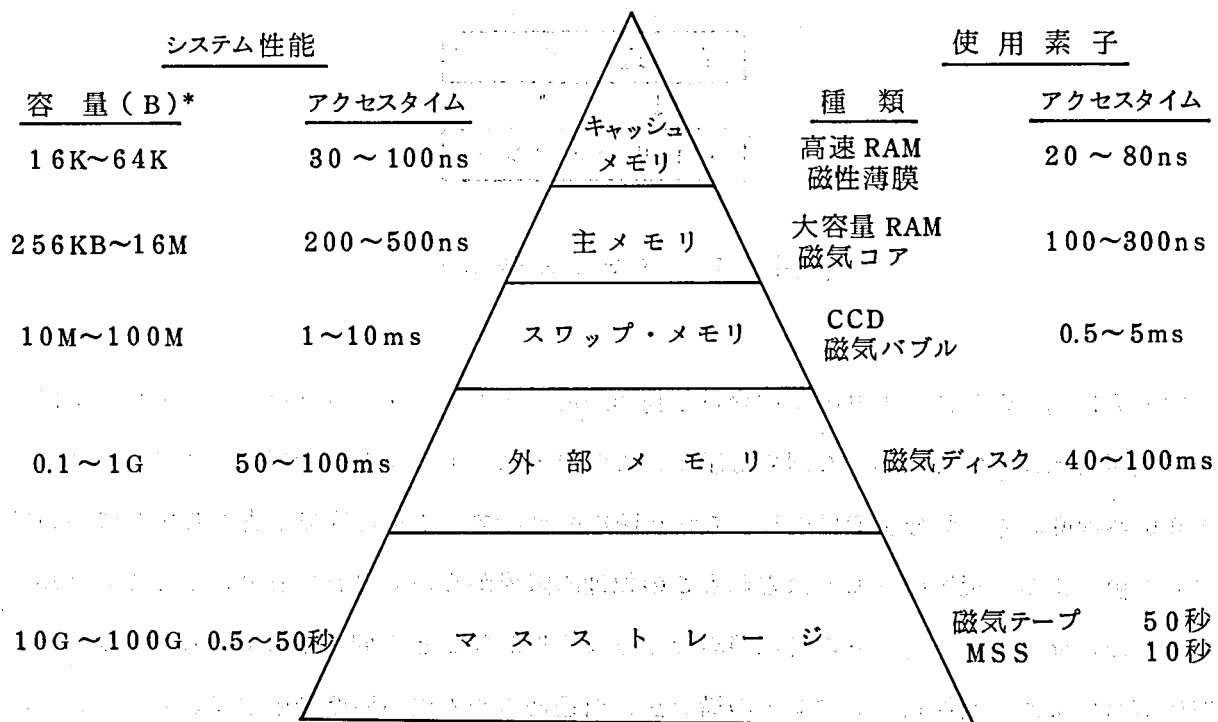


図-3 計算機の階層記憶構成

キャッシュメモリあるいは高速バッファメモリとしては、かつては磁性薄膜メモリが第1候補として各所で研究開発が行われたが、現在ではバイポーラ的高速RAMがほぼ全面的に採用され、一部には経済性の理由によりMOSの高速スタティックRAMが使用されている。

主メモリにはかつては磁心(コア)メモリが全面的に使用され、その故に主メモリをコアメモリと呼んだ程であった。これの高速化と集積化(一括生産)による低価格化をめざし、磁性薄膜系の各種メモリの研究開発が行われたが、半導体集積回路メモリ(ICメモリ)の実用化が

1970年代前半より始まるとともに、その優れた量産性の故にICメモリ、特にMOSダイナミックRAMが全面的に使用されるようになった。MOSダイナミックRAMは1972年1024ビットのものが実用化されて以来、ほぼ3年毎に4倍の容量のものが実用化され、現在64Kビットが市場に登場し始めている。今後も、VLSIの中心的製品として開発が進み、256Kビットから1980年代の終りには、1Mビットが実用化されるものと予測されている。

スワップメモリは、主メモリのアクセスタイム $1\mu\text{sec}$ 以下と外部メモリとしての、磁気ディスクのアクセスタイム数 10msec の間(これを「アクセスギャップ」と呼ぶ)を埋めるものとして、早くから必要性が強調されていたものである。一時、ヘッド/トラックの高速磁気ディスクあるいは磁気ドラムが使用されたことがあるが、高価なため最近はほとんど使用されておらず、CCD、磁気バブルがこの必要性に応えるものとして注目されている。CCD、磁気バブルはともに性能的にはちょうどこの領域に適合するものであるが、CCDは用途が限られ、需要量がより一般的に使用可能なダイナミックRAMに比べ極端に少ないため、価格が比格的高く、パッケージから放射されるアルファ線によるソフトエラーに弱いことも相まって、現時点では実用化がほぼ断念されている。一方、磁気バブルはその不揮発性と、機械的に強固な点、さらに放射線に対しても強い点から、小規模システムのファイル、軍事/宇宙用の可搬装置のメモリ等として強い需要があり、研究開発が強力に推進されつつある。近い将来、スワップメモリあるいは外部メモリとして実用化される可能性がある。

外部メモリとしては、古くから磁気ディスクがほぼ全面的に使用され、現在もその改良努力が強力に進められ、性能/価格比の向上が続いている。

マスストレージとしては、かつては磁気テープが主力であったが、最近の分散処理、リアルタイムTSSの普及にともない、ファイルのオンライン化の必要性が高まり、これに応える装置としてMSS(マスストレージシステム)が普及し始めている。これは約50MBの容量のカートリッジ形磁気テープを最大2048本収容し、端末からの要求により任意のカートリッジの読み

出し、書き込みが自動的に行われる装置である。

2. 本研究の目的及び概要

前述の如く、各種のメモリが大容量化、高速化および経済性の向上をめざして開発されてきたが、これは記憶素子および周辺回路のより高密度化、かつ大規模集積化の歴史であったといえる。

本研究の目的は、かかる動きの中で、まず、高速バッファメモリおよび主メモリの高速化をめざした磁性薄膜メモリ、つづいて主メモリと磁気ディスクの間のアクセスギャップを埋めるスワップメモリの実現をめざしたCCDメモリ、最後に主メモリの本命たるMOSダイナミックRAMに関し、その基本的動作原理を明らかにするとともに、メモリセルおよびアレイの構成法、および周辺回路の最適化を行うことにより、高密度かつ大規模集積化を実現し、前述のメモリに関する基本的要求に応える諸条件を明確化することにある。

第1章では、関連分野の歴史的概要について述べ、本研究の位置づけを明らかにした。

第2章では、結合形磁性薄膜メモリに関し、まず磁性薄膜記憶素子のスイッチング特性を明らかにし、駆動電流と読出し出力波形の関係を明らかにした。また、これを用いた記憶装置について、各部の電圧、電流波形から動作タイミングの分析を行った。

次に、上記の結果をもとに、結合形磁性薄膜メモリセル最適構造、渦電流の影響による動作速度の低減を回避したメモリプレーンの構造、読出し時のS/Nを最大にし、かつ書き込み雑音を最小に抑える周辺回路の構成法、及び高速の極性判別回路について考察し、さらに配線による影響を軽減するため、メモリプレーンと周辺回路を構造的に直結した構成法により、16Kバイトのメモリ装置の試作を行ない、サイクルタイム250ns、アクセスタイム80nsで安定に動作することを確認した。また、本研究課程においてサイクルタイムが記憶容量に対し、ほぼ直線的に増大することを明らかにした。

第3章では、まずCCDの動作原理、CCDメモリの動作原理および、CCDメモリに期待される性能について概括した。つづいて、高集積化の方策として、MLS(Multi-Level-Store)方式、E/B(Electrode per Bit)方式について検討を行った。

MLS方式では、2ビットの入力情報により4レベルの電荷を蓄積する入力回路、4レベルの電荷を判別して2ビットの情報を出力するセンス回路、4本のCCDシフトレジスタに対し、1組の入出力回路を設けるマルチプレクス方式等を開発し、これらの動作を試験用LSIの試作を通じて確認した。この結果により、設計基準6 μ mで128KビットのCCDメモリの設計を行

い、チップサイズ $7.9 \times 8.9 \text{ mm}$ で平均アクセスタイム $128 \mu\text{s}$ 、データレート 2 Mb/s の性能を得た。メモリのコストを直接左右する1ビット当りのチップ面積は、同じ設計基準による16KビットMOSダイナミックRAM(以下16K(D)RAMと略記する)の約2.6分の1が得られた。

E/B方式では、4蓄積電極に3ビットを記憶する方式を採用し、4本のCCDシフトレジスタを1ブロックとするマルチプレクス方式により、入・出力回路の効率化とデータレートの高速化を図った。また、低電力、低雑音のクロック駆動回路を開発し、全8相のクロックドライバのメモリチップへの集積化を実現した。設計基準 $5 \mu\text{m}$ で64KビットCCDメモリを試作した結果、チップサイズ $7.1 \times 4.7 \text{ mm}$ 、平均アクセス時間 $130 \mu\text{s}$ 、消費電力 205 mW が得られた。1ビット当りチップ面積は、同設計基準の16K(D)RAMの約2分の1であった。

ここに開発されたMLS方式、E/B方式のCCDメモリと、従来方式のCCDメモリおよびダイナミックRAMに関し、設計基準と記憶容量とをそれぞれある一定値に換算して比較した結果、上に得られた1ビット当りチップ面積の縮小効果は、ここに開発された新方式によるビット密度の向上に加えて、1チップ当りの記憶容量が大きいこと自体の結果でもあることが明らかとなった。

第4章では、ダイナミックMOSRAMに関し、その基本的動作原理ならびに発展の歴史を技術的見地から概括した後、1トランジスタ方式MOSRAMのメモリ容量の最小限界値について検討を行った。つぎに、高速大容量化を実現するため、スケーリング法を適用した大容量ダイナミックMOSRAMの回路設計法について検討し、その結果に基づき設計基準 $3 \mu\text{m}$ で64K(D)RAMの設計・試作を行い、チップサイズ $4.3 \times 6.9 \text{ mm}$ 、アクセス時間 160 ns 、消費電力 210 mW で安定に動作することを確認した。

さらに、素子の微細化により問題となり出した α 線によるソフトエラーに関し、その発生メカニズムの解析、評価法の検討、および各種のソフトエラー対策に関する考察と実験を行い、 α 線によるソフトエラーに関する種々の有益な知見を得るとともに、64K(D)RAMに対する具体的改善策を明らかにした。

目 次

第 1 章 序 論

1.1 関連分野の研究の歴史的概要	1
1.1.1 はじめに	1
1.1.2 高速化と大容量化の追求	2
1.1.3 記憶装置の性能要因	3
1.2 問題点の概要と本研究の目的	6
1.2.1 各種記憶装置の位置づけ	6
1.2.2 本研究の目的と概要	8

第 2 章 高速磁性薄膜記憶装置

2.1 はじめに	11
2.2 動作原理	13
2.2.1 磁化ベクトルの運動方程式	13
2.2.2 駆動磁界	14
2.2.3 センス線の誘起電圧	15
2.3 記憶装置の構成	19
2.3.1 結合形磁性薄膜記憶素子	19
2.3.2 メモリスタック	20
2.3.3 周辺回路	21
2.3.4 動作速度の検討	23
2.4 試作結果	26
2.4.1 動作試験結果	26
2.4.2 記憶容量と動作速度の関係	27
2.5 結 言	28

第 3 章 電荷結合形記憶装置

3.1 はじめに	31
3.2 電荷結合形記憶装置の動作原理	34
3.2.1 電荷結合素子の動作機構	34
3.2.2 電荷結合形記憶装置の構成法	35
3.2.3 記憶密度の向上：MLS方式とE/B方式	37
3.3 MLS方式による電荷結合形記憶装置	39
3.3.1 入力方法	39
3.3.2 転送方法	40
3.3.3 検出方法	41
3.3.4 128Kビットメモリへの応用	43
(a) テストデバイス	43
(b) 128Kビットメモリの設計	45
3.4 E/B方式による電荷結合形記憶装置	50
3.4.1 転送方法	50
3.4.2 転送クロックパルス	51
3.4.3 マルチプレックス動作	52
(a) 入力データのマルチプレックス	52
(b) 信号電荷	55
(c) 出力データのマルチプレックス	58
3.4.4 センスアンプと基準電圧の発生	61
3.4.5 64Kビットメモリへの応用	64
(a) 64Kビットメモリの基本構成	64
(b) 内部発生転送クロックの特性	65
(c) メモリチップの特性	68
3.5 両方式の比較および工学的応用上の問題点	73
3.6 結 言	76

第4章 大容量ダイナミックMOS記憶装置

4.1 はじめに	81
4.2 動作原理と高集積・高性能化技術	83
4.2.1 ダイナミックRAMの動作原理	83
4.2.2 1KダイナミックRAM	84
4.2.3 4KダイナミックRAM	86
4.2.4 16KダイナミックRAM	89
4.2.5 ダイナミックRAMの高集積化	93
4.3 1トランジスタ方式ダイナミックMOS RAMの記憶静電容量	95
4.3.1 4KダイナミックRAMによる実験	95
4.3.2 実験結果の考察	96
4.4 スケーリング法を適用した大容量ダイナミックMOS RAM	100
4.4.1 安定動作の条件式	100
(a) 1トランジスタ形ダイナミックRAMの読み出し電圧	100
(b) センス回路の感度	100
(c) 安定動作の条件	101
4.4.2 デバイスパラメータのばらつき	102
4.4.3 微細パターン製造技術を用いたダイナミックRAMの設計理論	103
(a) 加工精度のばらつきがスケールダウンされない場合	104
(b) 加工精度のばらつきがスケールダウンされる場合	105
(c) 64KダイナミックRAMのリフレッシュ方式の検討	106
4.4.4 64KダイナミックRAMの設計指針	108
4.4.5 64KダイナミックRAMの設計	109
4.4.6 64KダイナミックRAMの試作結果	110

4.5	ソフトウェア	112
4.5.1	ソフトウェア現象	112
4.5.2	臨界電荷量の計算	112
4.5.3	ソフトウェアの発生モード	116
4.5.4	ソフトウェアの評価方法	119
4.5.5	ソフトウェア対策	122
4.5.6	ソフトウェア評価結果	133
4.6	結 言	135
第5章	結 論	140
	謝 辞	144
	研究業績目録	145

第 1 章 序 論

1.1 関連分野の研究の歴史的概要

1.1.1 はじめに

記憶装置（以下本文中はメモリと記す）開発の歴史を通して、半導体技術ほど大きな影響をメモリ技術に与えたものはないであろう。1950年代から1960年代初めにかけて種々のメモリが開発され、実用化の試みがなされた。その結果、フェライト磁性体がメモリとして最も適していることが明らかになり、1970年代前半までコアメモリが主メモリの主流を占める時代が到来する¹⁾。つづいて高速化、高集積化を旨として各種の磁性薄膜メモリが開発されたが、1960年初頭より論理回路として研究開発が進んでいた半導体集積回路の高集積化がその後急速に進展し、1970年半ばにはコアメモリは半導体（IC）メモリに取って代わられる時代がくる。実際に、1975年には主メモリ・ビットの約50%が、また1977年には85～90%が半導体素子に代わったといわれる^{2),3)}。

このように主メモリがICメモリへと移り変わった理由には、(i)高速化できる、(ii)小型化できる、(iii)大容量メモリが実現できる、(iv)価格が安くなる、(v)電力消費が小さくなるなどの他に、(vi)複雑な論理機能を盛込めるといった魅力にあるといえる。実際に最近の技術傾向は実装密度にして年2倍の改善、価格は年約40%の低下を示している。

メモリに論理機能を直接的に付加する試みは古くから行われていたが、従来のメモリ素子は情報の論理処理を行う論理素子とは本質的に異質で、ことごとく不成功に終わっていた。ICメモリはその点では問題は殆んどない。記憶内容からそれを蓄えるアドレスを探索する連想メモリ⁴⁾は論理メモリ的一种として既に実用になりつつある。大規模な連想メモリが実用化すれば、多くの応用分野でデータ処理の仕方が本質的に変わり、処理効果が大幅に改善できると期待されている⁵⁾。

ICメモリの実用化が定着するまでには、ICメモリがもつ欠点を技術的に解決する努力がなされている。それらは(a)符号理論あるいは多重化などの冗長技術による信頼性の改善、(b)停電時における記憶内容の確保などに関するものである。特に後者(b)に関しては、不揮発性半導体メモリ、ROM(Read Only Memory)の開発と実用化に拍車をかけた。また、論理回路とメモリ素子の概念を組合わせたPLA(Programmable Logic Array)⁶⁾の開発へと進展し、論理設計の分野にも大きな影響を与えている。

半導体技術のインパクトは主メモリだけではなく、大容量ファイル・メモリの分野にも及んでいる。磁気バブルや電荷結合素子(CCD)などによる機械的な機構を含まない、いわゆる電子ディスク⁷⁾の普及である。恐らく数百MB程度の容量の高速・高信頼ファイル・メモリとして重要

な位置を占めるであろう。パーソナル・ファイルあるいは数MB程度の主メモリと数十GBクラスの通常の磁気ディスク・ファイル・システムとのギャップをうめる役割を果たすものと思われる。

高速で安価なICメモリの普及は、システム・アーキテクチャにも大きな変化を与えており、ダイナミック・マイクロプログラム方式の普及、高機能パーソナル・コンピュータの実用化、分散処理システムあるいは専用コンピュータの開発を容易にしている原動力となっている。

1.1.2 高速化と大容量化の追求

計算機ユーザにとって、メモリの高速化と大容量化はいつの時代でも最大の願望であった。しかしながら、メモリの速度と容量に関する特性には相反する要素が含まれ、高速化と大容量化は同時に両立することはない。このため、どちらかの特性に重みづけを行った種々のメモリが開発されることになった。その結果、小容量・高速ICレジスタ・ファイルから大容量・低速ストレージ・システムMSS (Mass Storage System)⁸⁾に至るまで、相互に特性の弱点を補いつつ、複数種のメモリを実装する、いわゆる記憶の階層という概念をもたらした。実際に階層化されたメモリ・システムでは、メモリ間のデータ転送が要求されるが、その頻度は小容量高速メモリほど一般に高く、その管理はユーザにとって厄介な問題となっていた。これはプログラミング上の単一レベル論理アドレス空間と実際の複数レベル物理アドレス空間との間のギャップに起因するものである。ユーザにとっては、メモリの物理的階層に関係なく、論理的には容量無限大の単一レベルに見えることが望ましい。仮想記憶システム⁹⁾はこのような問題解決の一手法として考案されたものである。この考え方は現在MSSレベルまで拡張されている。

一つのメモリを分割し、モジュール化して並列に動作させ、見かけ上の高速化を図る試みも古くからある。プログラムとデータ用のメモリを別々に設ける方式、一つのメモリを独立して動作するメモリ・バンクに分割し、一つずつ順番にアドレス付けをするインタリーブ方式、分散処理システムにおけるローカル・メモリやバッファ・メモリの設置などがその例である。

従来の計算機では、CPUのスループットは主メモリの速度に依存することが多く、その意味では主メモリへのアクセスを減らすことが重要となる。このため、多数のレジスタを設けることが常識になりつつある。当然のことながら、CDC 6600計算機などに見られるように、高速計算を目的とする場合にはレジスタのみを対象とする演算命令体系が生まれる。

データ処理の効率を上げるために、マイクロプログラム制御方式を採用することが普及してきたが、使用頻度の高い中間言語やサブルーチンをファームウェアの形で高速マイクロプログラム

・メモリに格納する方式がとられている。また、従来のROMに代えて、書換え可能なRAM（Random Access Memory）をマイクロプログラム・メモリに用い、ユーザ・マイクロプログラミングを可能にし、仮想計算機の実現を容易にしている。

このような種々のメモリ使用方式の開発により、逆に、後述するような夫々特長ある各種のメモリの開発が促進され、両者が車の車輪となって、実効的に高速かつ大容量のメモリシステムが実現されている。

1.1.3 記憶装置の性能要因

メモリの基本的な機能は、情報の書込み、保持、読出しの3種だから、その基本的な性能も、書込み、読出しの速度と、保持情報の量（すなわち記憶容量）ということになる。情報の書込みと読出しでは、所要時間の異なる装置もあるけれども、現在メモリの主要部分を占める半導体RAM、磁気コアならびに磁気ディスク、テープなどでは書込みと読出しが同等の時間で行われるのでこれを区別せず、それが異なるものは特にそのことを表示するのが普通である。それで、読出し操作を対象としてその速度に関連した性能項目を挙げると、これにはつぎの2つが区別される¹⁰⁾。すなわち、

- (i) アクセス時間 読出しの指令が与えられてから、必要な情報が得られるまでの時間
- (ii) 転送レート 情報の転送が継続される場合、毎秒何ビットのレートで行われるかという情報転送の速度。

ところで、記憶動作速度、とくにアクセス時間は記憶容量と密接な関連があり、容量が大きくなるとアクセス時間も大となるのが普通である。この事情をメモリの装置技術の面から考えてみる。

メモリにおける記憶情報読出しの操作をブロック図で示せば、図1-1のようになる。すなわち、記憶情報読出しの指令が与えられるとメモリ装置内では該当する記憶場所が選択（アドレス解読）され、それにもとづいて記憶媒体の駆動が行われる。媒体から得られる信号は通常微弱な

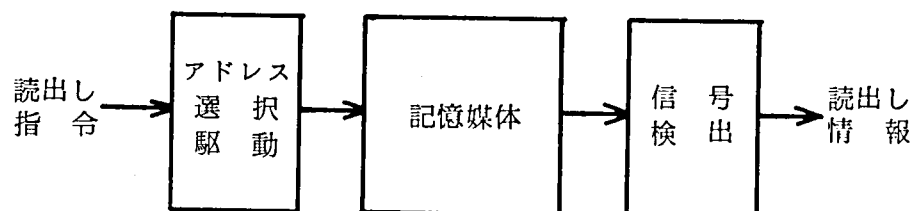


図1-1 記憶読出しの機能ブロック図

のでこれを検出・増幅・整形して出力情報が得られる。これらの操作にはそれぞれ時間遅れが伴うので、その総計がアクセス時間となるのである。記憶容量が大きければ、アドレス解読の操作も複雑であり、媒体上の該当場所を求めるのにも多くの時間を必要とする。これが、記憶容量と動作速度の関連をもつ理由であるが、このことをもう少し明確にするのには、記憶情報読出し（アクセス）の形式をくらべてみる必要がある。

図 1-2 はその代表的なものを模式的に示したものである。図中の 4 角の外枠はペースを示しており、(a)ではそのスペースの中のどの 1 ビットでも外から直接に指定される。そのアドレスの選択が外部で行われることを矢印で示してある。どのビットも対等に指定できるということを“ランダム”ということばで表わしている。(b)はランダムに選ばれるのが複数ビットとなっているのであって、その複数ビットは並列に読出される。主メモリやキャッシュなど“内部メモリ”はこの形式のものが多。い。(c)は情報のブロックについてはランダムに指定されるが、ブロックの中では順次、定まった順序で情報が読出されるというもので、磁気ディスク、磁気バブルなどはこの形式とみることができる。この性質を抽象化して、とくに強調する場合には、BORAM (Block Oriented Random Access Memory)と呼ぶこともある。(d)は完全な逐次読出し動作で、情報はいつでも順次に読出される。(c)、(d)の形式についても図 1-2 では 1 ビットずつ読出され

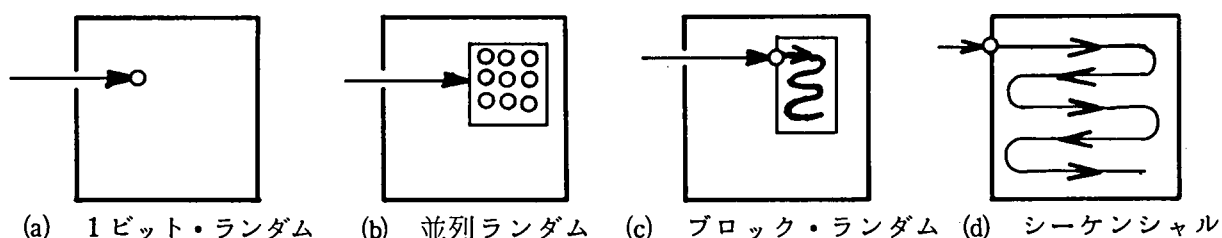


図 1-2 アクセス形式

るように書いてあるが、当然これに並列性をもたせることも可能であって、たとえば、磁気テープ装置などは(d)の形式だが、1 バイト分（8 ビット＋パリティ）を並列に操作するのが普通であり、磁気ディスクにおける“シリンダ”というのも、この並列性に与えた名称に他ならない。

さて、図 1-2 で記憶スペースの外からの指定（矢印で示してある）は、図 1-1 の機能ブロック図で“アドレス選択、駆動”という部分に対応するが、記憶媒体そのものについてもその容量が大きくなれば遅延時間が大きくなる。その遅延時間は、媒体に固有のアクセス時間に相当するものであって、これを t_d とし、記憶容量を N (ビット) とすれば、記憶素子の配列が 1 次元であるか 2 次元であるかまたは 3 次元であるかに応じて、 $t_d \propto N$, $t_d \propto \sqrt{N}$, $t_d \propto \sqrt[3]{N}$ とい

う構成があり得る。磁気テープは一次元的なメモリであり、磁気ディスク、コアメモリ、LSIメモリなどは2次元的なメモリと見られる。これらの中には3次元構成のようにみえるものもあるが、実際は2次元的な平面を積み重ねたものが大部分であり、3次元的に均質な記憶媒体というものは、今のところ実現していない。

LSIや磁気記録の高密度化はきわめて著しいが、その限界について考えてみる⁽¹¹⁾⁽¹²⁾。

1ビットの記憶素子に対して、原子または分子の1個を対応させることは、安定性などに問題があるといわれる。それで100個程度の原子または分子を1ビットに対応させるとすれば、1ビット領域の大きさはほぼ 10 \AA 程度となる。この距離を光が通過する時間は、 3×10^{-18} 秒程度となり、これが媒体上の1ビットを走査する最小時間と考えられる。これに前述の次元構成を対応させたときの、記憶容量に対するアクセス時間の関係は図1-3に記してあり、これはアクセス時間の限界を与えるものである¹³⁾。これに対して現実のメモリの占める概略の位置も同図に記入してあるが、どれもこの限界から大幅に離れている。このことは現在のメモリのアクセス時間が、記憶セルの寸法限界というような原理的なことではなく、装置に固有のアドレス選択、駆動技術によって与えられていることを示すものであり、今後の改良の余地が多いことを示唆している。

1.2 問題点の概要と本研究の目的

1.2.1 各種記憶装置の位置づけ

前述のとおり，高速で比較的小容量の高速 I C メモリから，大容量ではあるがアクセスタイムの遅い磁気記録装置まで各種のメモリが開発されている。これらのメモリの記憶容量と動作速度（アクセスタイム）を図 1-3 に示す。現実の計算機システムにおいては，これらの各種記憶装置を階層的に使用し，図 1-4 に示すような階層記憶を構成し，実効的に大容量で高速のメモリシステムを実現している。

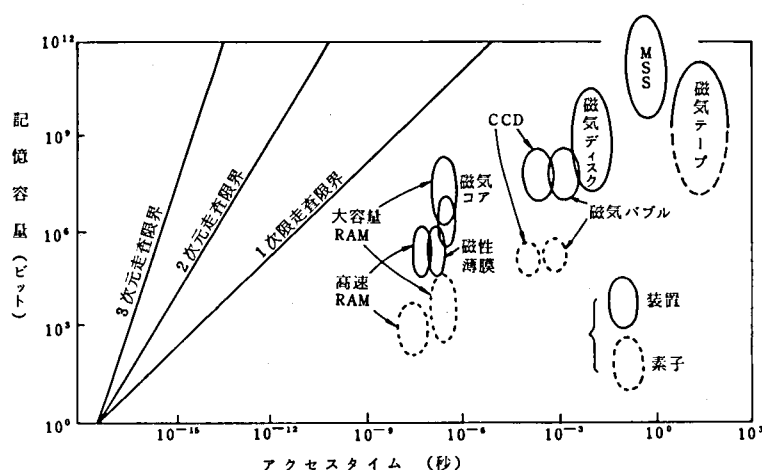
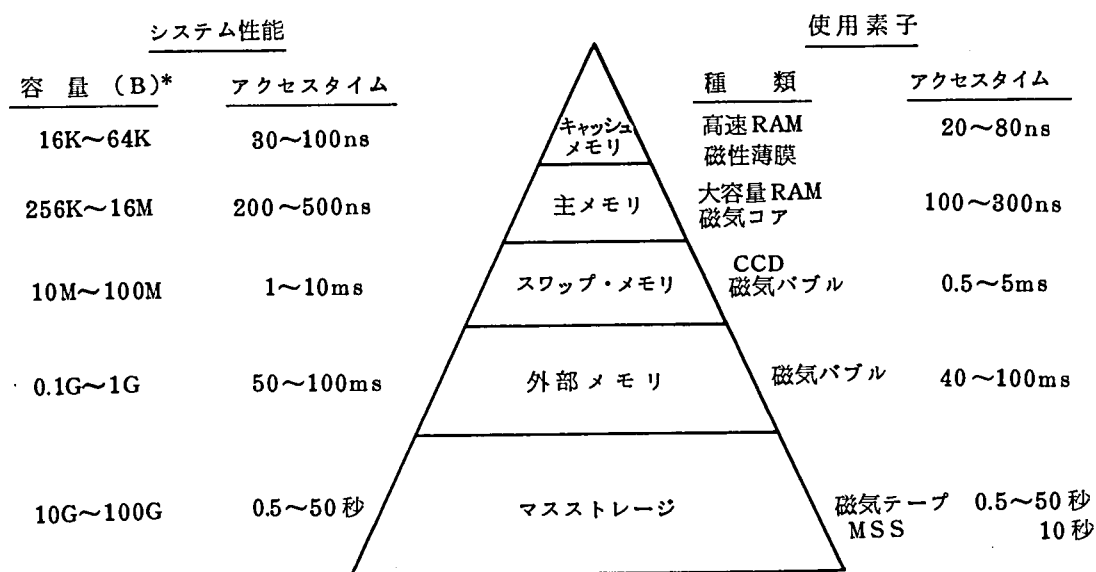


図 1-3 各種メモリの記憶容量と動作速度



* B : バイト = 8 ビット

図 1-4 計算機の階層記憶構成

キャッシュメモリあるいは高速バッファメモリとしては、かつては磁性薄膜メモリが第一候補として各所で研究開発が行われたが、現在ではバイポーラ的高速RAMがほぼ全面的に採用され、一部には経済性の理由によりMOSの高速スタティックRAMが使用されている。

主メモリにはかつては磁心(コア)メモリが全面的に使用され、その故に主メモリをコアメモリと呼んだ程であった。これの高速化と集積化(一括生産)による低価格化をめざし、磁性薄膜系の各種メモリの研究開発が行われたが、半導体集積回路メモリ(ICメモリ)の実用化が1970年代前半より始まるとともに、その優れた量産性の故にICメモリ特にMOSダイナミックRAMが全面的に使用されるようになった。MOSダイナミックRAMは1972年1Kビットのものが実用化されて以来、ほぼ3年毎に4倍の容量のものが実用化され、現在64Kビットが市場に登場し始めている。今後も、VLSIの中心的製品として開発が進み、256Kビットから1980年代の終わりには1Mビットが実用化されるものと予想されている。

スワップメモリは、主メモリのアクセスタイム $1\mu\text{sec}$ 以下と外部メモリとしての磁気ディスクのアクセスタイム数 10m sec の間(これを「アクセスギャップ」と呼ぶ)を埋めるものとして、早くから必要性が強調されていたものである。一時、ヘッド/トラックの高速磁気ディスクあるいは磁気ドラムが使用されたことがあるが、高価なため最近はほとんど使用されておらず、CCD、磁気バブルがこの必要性に応えるものとして注目されている。CCD、磁気バブルはともに性能的にはちょうどこの領域に適合するものであるが、CCDは用途が限られ、需要量がより一般的に使用可能なダイナミックRAMに比べ極端に少ないため、価格が比較的高くパッケージから放射されるアルファ線によるソフトエラーに弱いことも相まって、現時点では実用化がほぼ断念されている。一方、磁気バブルはその不揮発性と、機械的に強固な点、さらに放射線に対しても強い点から、小規模システムのファイル、軍事/宇宙用の可搬装置のメモリ等として強い需要があり、研究開発が強力に推進されつつある。近い将来、スワップメモリあるいは外部メモリとして実用化される可能性がある。

外部メモリとしては、古くから磁気ディスクがほぼ全面的に使用され、現在もその改良努力が強力に進められ、性能/価格比の向上が続いている。

マスストレージとしては、かつては磁気テープが主力であったが、最近の分散処理、リアルタイムTSSの普及にともない、ファイルのオンライン化の必要性が高まり、これに応える装置としてMSS(マスストレージシステム)が普及し始めている。これは約50MBの容量のカートリッジ磁気テープを最大2048本収容し、端末からの要求により任意のカートリッジの読出し、

書込みが自動的に行われる装置である。

1.2.2 本研究の目的と概要

前述の如く、各種のメモリが主として計算機の高性能化要求に応えるべく大容量化、高速化、高信頼化及び使い易さの向上を目ざして開発されてきた。これは新しい原理あるいは素子に基づくメモリの開発、メモリを実用化し、懸案の問題解決を図るための工夫、新しい応用分野の展開に伴って提起される問題に対する有効な解を得る努力、あるいは新しい機能を持つメモリ開発への要求という形で現われてきた。

本研究の目的は、かかる動きの中で、まず、高速バッファメモリおよび主メモリの高速化をめざした磁性薄膜メモリ、つづいて主メモリと磁気ディスクの間のアクセスギャップを埋めるスワップメモリの実現をめざしたCCDメモリ、最後に主メモリの本命たるMOSダイナミックRAMに関し、その基本的動作原理を明らかにするとともに、メモリセルおよびアレイの構成法、および周辺回路の最適化を行うことにより、高密度かつ大規模集積化を実現し、前述のメモリに関する基本的要求に応える諸条件を明確化することにある。

第2章では、結合形磁性薄膜メモリに関し、まず磁性薄膜記憶素子のスイッチング特性を明らかにし、駆動電流と読出し出力波形の関係を明らかにした。また、これを用いた記憶装置について、各部の電圧、電流波形から動作タイミングの分析を行った。

次に上記の結果をもとに、結合形磁性薄膜メモリセル最適構造、渦電流の影響による動作速度の低減を回避したメモリプレーンの構造、読出し時の S/N を最大にし、かつ書込み雑音を最小に抑える周辺回路の構成法、及び高速の極性判別回路について考察し、これらを空間的に最適配置して16Kバイトのメモリ装置の試作を行ない、サイクルタイム250ns、アクセスタイム80nsを得た。また試作結果より記憶容量と動作速度の関係について考察した。

第3章では、CCDの動作原理、メモリの動作原理、およびメモリに期待される性能について概括する。高集積化の方策として、MLS (Multi Level Storage) 方式、E/B (Electrode per Bit) 方式について検討を行い、両方式のCCDメモリの試作を通じてその妥当性を明らかにした。

さらに高集積化のもう一つの要因としてデータのCCDシフトレジスタへの入出力方法を取り上げ、実際の64KビットCCDメモリの試作を行い、この入出力方法の最適化を検討した。また、CCDメモリの欠点である駆動クロック回路の大容量化をさけるため、クロックドライバ回

路のオンチップ化についても試作検討を行った。また、本試作CCDメモリと従来方式のCCDメモリ、MOSダイナミックRAMの比較により、CCDメモリの高集積化要因分析を行った。

第4章ではMOS RAMの内、高速・大容量化に適した1トランジスタ1キャパシタ形ダイナミックRAMを取りあげ、開発の歴史、動作原理を概括した後、1トランジスタ方式MOS RAMの記憶静電容量の最適値を求めた。つづいて、高速大容量化に対し有効と考えられるスケーリング法を適用したダイナミックRAMの回路設計を行い、64KビットダイナミックRAMを試作し、得られた結果について述べる。さらにメモリセルの微細化の進展とともに問題となる α 線によるソフトエラーに関し、その発生モード、評価法、改善策について検討を行った。

第5章では以上の章において得られた結果に基づき、メモリの高速・大容量化をはかる上での問題点と解決法についての結論を総括的に述べる。

参 考 文 献

- 1) 石井 治 : メインメモリの動向, 情報処理, Vol. 16, No. 4, pp. 258-274 (Apr. 1975).
- 2) Juliussen, J.E., et al. : Problems of the 80's : Computer System Organization, Proc. Conference on Computing in the 1980's, pp. 14-23 (Mar. 1978).
- 3) Petschauer, R. J. : Semiconductor Storage-A Look at the Future, ibid., pp. 244-247 (Mar. 1978).
- 4) 飯塚 肇 : 論理メモリ, 情報処理, Vol. 16, No. 4, pp. 275-285 (Apr. 1975).
- 5) Feldman, J.D., et al. : RADCAP-An Operational Parallel Processing Facility, Proc. NCC, 43, pp. 7-15 (June 1974).
- 6) Fleisher, H., et al. : An Introduction to Array Logic, IBM J. Res. and Develop., Vol. 19, No. 2, pp. 98-109 (Mar. 1975).
- 7) 石井 治 : 電子ディスク, 情報処理, Vol. 17, No. 12, pp. 1160-1168 (Dec. 1976).
- 8) Johnson, C. : IBM 3850-Mass Storage System, Proc. NCC, 44, pp. 509-514 (June 1975).
- 9) Kilburn, T., et al. : One-Level Storage System, IRE Trans. EC-11, No. 2, pp. 223-235 (Apr. 1962).
- 10) 情報処理用語, JIS C 6230 (1978).
- 11) Keyes, R. W. : Physical Limits in Digital Electronics, Proc. IEEE, Vol. 63, No. 5, pp. 740-767 (1975).
- 12) Freiser, M. J. and Marcus, P.M. : A Survey of Some Physical Limitations on Computer Elements, IEEE Trans. MAG-5, p. 82 (1969).
- 13) 石井 治 : Computer Magnetism 総論, 日本学術振興会第 137 委員会応用磁気研究会資料 (昭 50. 7).

第 2 章 高速磁性薄膜記憶装置

2.1 はじめに

磁性薄膜を記憶素子として用いることにより，高速記憶装置を実現できることが指適されて⁽¹⁾以来，これまで多くの研究が行なわれてきた。たとえば，スクラッチパッド用の小容量高速記憶装置としては，容量 128B (バイト = 8 ビット) サイクルタイム 60 ns 程度のものがあり⁽²⁾，また主記憶用としては，容量 100KB サイクルタイム 500 ns のもの⁽³⁾，などが発表されている。記憶素子も開磁路から半閉磁路へと進み，さらに閉磁路で高密度記憶素子の実用化研究が行なわれている^{(4),(5),(6)}。

実用的な記憶装置としては，性能，機能が優れていると同時に，経済性が要求される。この要求に答えるには，記憶素子とその周辺回路が優れた特性を示すことはもちろん，それらの構成法がそれぞれの特性をよく生かすものであり，かつ作り易い構造でなければならない。この観点より筆者は記憶素子，周辺回路およびそれらの構成法について研究を行ってきた。

最初に作られた記憶素子はガラス平板上に真空蒸着された鉄・ニッケル合金薄膜を使用するもので，膜質自体は優れたものが得られるが，開磁路であるため反磁界の影響が強く，記憶動作が不安定になり易いことと，形が大きくなる欠点があった。これに対しフラックスキーパと呼ばれる帰磁路を設けることにより，反磁界の影響を軽減する試みがなされた。これにより動作の安定度が改善され，平面的にはある程度小形化がなされたが，厚みが増し，また微細加工されたフェライトが必要となり，経済的にも不利な点があった。一方，磁性薄膜自体で閉磁路を構成する試みがなされた。その一つは銅線の周囲に直接磁性体をメッキするもので，ワイヤメモリがその代表例である。この方法では良質の磁性膜を得るのが，蒸着法に比べてかなり困難であり，また渦流の影響が無視し得ず，スピード的にも不利な面があった。蒸着膜で閉磁路を構成する方法として筒状のガラス下地を回転しながらその周囲に磁性体を真空蒸着する方式も試みられたが，構造・製法ともきわめて複雑であった。ここでは，以上の問題点を解決し，良質の真空蒸着膜を使用しながら，実効的に閉磁路構成とし，かつ製造の容易な記憶素子の構成法を開発した⁽⁷⁾⁽⁸⁾⁽⁹⁾⁽¹⁰⁾⁽¹¹⁾。

従来は，メモリスタックと周辺回路を構造的にはそれぞれ別々に構成し，接続線を用いて電氣的に接続する方式がとられてきたが，ここではメモリスタックおよび周辺回路それぞれを小形化して高速化を図ると同時に，周辺回路がメモリスタックに直接々続できる構造を考案し，接続線による時間遅れ，雑音発生，負荷効果等の問題を解決した。

周辺回路については、センス系、桁系、語駆動系それぞれに対し、高速化、低雑音化を図る設計法について検討を行なった。⁽⁹⁾⁽¹¹⁾

以上の研究成果にもとづき、筆者はつぎに述べるような特長をもつ16KBの記憶装置を試作し、サイクルタイム250ns、アクセスタイム80nsで安定に動作することを確認した。また、実装問題も含めて記憶容量がサイクルタイムに与える影響を調べた。

本試作記憶装置の特長をつぎに列挙する。

- (1) ガラス基板上に、磁性薄膜とストリップ線とを集積化したものを対向させた結合形磁性薄膜記憶素子を用いており、この素子は、蒸着のみで形成できるので製造が簡単である。
- (2) このため、2枚の磁性薄膜の間隙が小さくできるので、強固な半閉磁路を形成でき、安定な記憶特性をもっている。
- (3) 書込み雑音の消去にトランスを用いており、従来の方式⁽⁴⁾に比べて、終端の処理が簡単である。
- (4) 読出し電圧については、けた線の近端側と遠端側の出力が合成されるので、信号の伝播による減衰が補償される。
- (5) 読出し系にエミッタホロワ付きの極性判別器を用いるとともに、メモリレジスタを再書込ループからはずしてサイクルタイムの短縮をはかっている。
- (6) 情報書込みには実用的な見地から消費電力を小さくするため、RZ方式を採用している。

本章では、まず磁性薄膜記憶素子の動作原理を述べ、次にこれを用いた記憶装置の構成とその動作タイミングを分析し、つづいて結合形磁性薄膜記憶素子のスタックおよび周辺回路の設計法と実装法について述べ、試作装置により記憶容量とサイクルタイムの関係を求めた結果について述べている^(19,20,21)。

2.2 動作原理

フェライト磁心は磁壁の移動によるスイッチングを用いているため、スイッチング時間が長く通常 100 ns 程度以下にすることは困難である。

一方、磁性薄膜記憶素子では単軸異方性を有する磁性薄膜の困難軸方向への一斉磁化回転を用いるため、スイッチング時間は非常に短く、通常 1 ns 程度であり、以下に詳述するように現実にはほぼ駆動電流の立上り波形に依存している。

ここでは、センス線に誘起される読出電圧の波形が語電流の振幅や立上りとどのような関係にあるかについて検討した結果を述べる。

2.2.1 磁化ベクトルの運動方程式

図 2-1 で単軸異方性エネルギーが零の方向を x 軸にとり、y 軸方向に印加磁界を与えたときのスイッチング応答は一次近似により¹⁰⁾ 式 (2.1) で与えられる。ここで、 F_T : 単位体積あたりの全磁化エネルギー、 λ : ダンピング係数、 γ : ジャイロ磁気係数である。

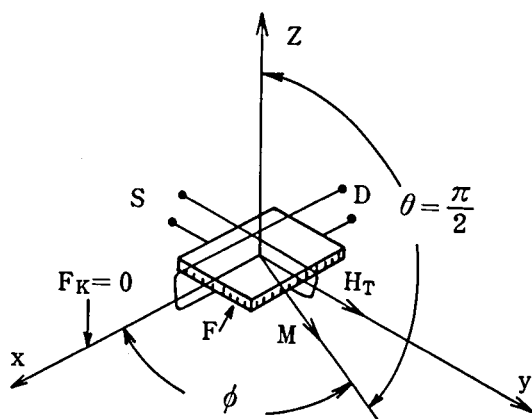


図 2-1 磁性薄膜記憶素子モデル

記憶素子構成要素

F : 磁性薄膜

S : センス線

D : 駆動線

各種磁化パラメータ

M : 磁化ベクトル

H_T : 困難軸方向の磁界

F_K : 単軸異方性エネルギー

H_K : 単軸異方性磁界

ϕ : 磁化ベクトルと容易軸のなす角度

$$\frac{d\phi}{dt} = \frac{\gamma^2}{\lambda} \frac{\partial F_T}{\partial \phi} \quad (2.1)$$

一方、磁性薄膜の単位体積あたりの全エネルギーは¹¹⁾

$$F_T = -\frac{MH_K}{2} \sin^2 \phi + MH_T \sin \phi \quad (2.2)$$

で表わされる。式 (2.2) より式 (2.3) が

$$\frac{\partial F_T}{\partial \phi} = -MH_K \sin \phi \cos \phi + MH_T \cos \phi \quad (2.3)$$

得られるので、式 (2.1) , (2.3) より式 (2.4)

$$\frac{d\phi}{dt} = -\frac{\gamma^2}{\lambda} M \cos \phi (H_K \sin \phi - H_T) \quad (2.4)$$

が求められる。

2.2.2 駆動磁界

図 2-2 は駆動線の断面を示したもので P 点における磁界の強さを計算すると式 (2.5) のようになり、これを式 (2.4) の H_T として用いる。

$$H_T = \frac{1}{\pi} \frac{I_c}{W} \left[\pi - \tan^{-1} \left\{ \frac{\frac{2H}{W}}{1 - \frac{4h(H-h)}{W^2}} \right\} \right] \quad (2.5)$$

ここで、 I_c は駆動線を通る電流である。これが図 2-3 に示すような回路によって与えられる場合を考えると、トランジスタが飽和するまでは

$$I_c = I_{CM} (1 - e^{-t/\tau}) \quad (2.6)$$

但し、 I_{CM} 、 τ は夫々ベース回路定数とトランジスタ特性で定まる電流値及び時定数である。

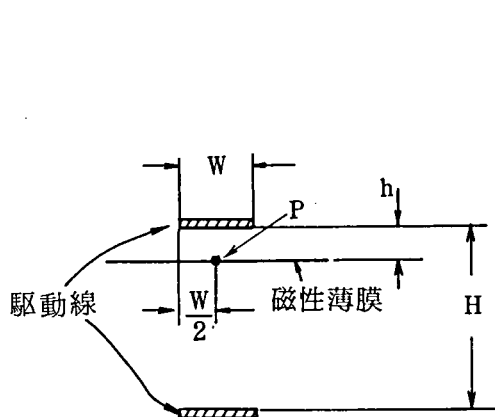


図 2-2 駆動線の断面

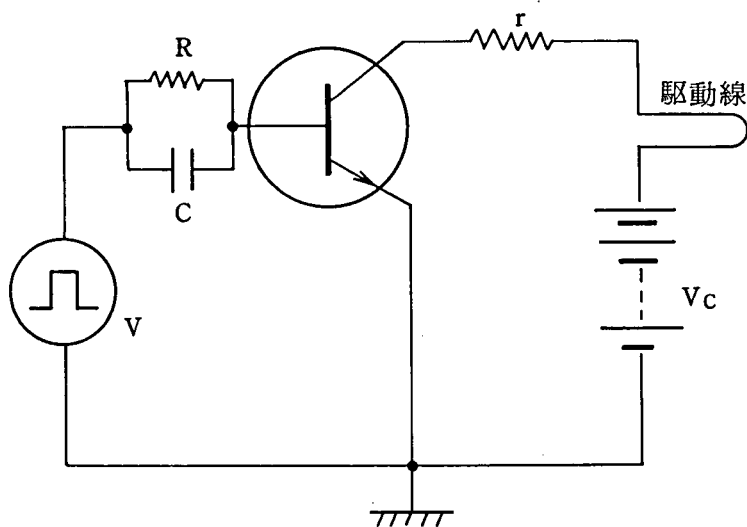


図 2-3 駆動回路

トランジスタが飽和すれば

$$I_C = \frac{V_C}{r} \quad (2.7)$$

なる一定電流が流れる。

以上の関係を式(2.5)に代入すれば、トランジスタが飽和するまでの磁界の強さは

$$H_T = \frac{I_{CM}}{\pi W} \left[\pi - \tan^{-1} \left\{ \frac{\frac{2H}{W}}{1 - \frac{4h(H-h)}{W^2}} \right\} \right] (1 - e^{-t/\tau}) \quad (2.8)$$

となり、トランジスタが飽和したときの磁界の強さは式(2.9)のように表わされる。

$$H_T = \frac{1}{\pi W} \frac{V_C}{r} \left[\pi - \tan^{-1} \left\{ \frac{\frac{2H}{W}}{1 - \frac{4h(H-h)}{W^2}} \right\} \right] \quad (2.9)$$

2.2.3 センス線の誘起電圧

図2-1でセンス線に誘起する電圧は

$$V = - \frac{d(M \cos \phi)}{dt} = M \sin \phi \frac{d\phi}{dt} \quad (2.10)$$

として求められる。

今迄のべたことから誘起電圧の大きさを計算するには、式(2.4)、(2.8)、(2.9)、(2.10)より H_T と時間の関係を求めなければならないが、式(2.4)は非線形微分方程式であり、一般的には解けず数値計算によらなければならない。しかし、 $H_T \gg H_K$ なるステップ磁界を加えたときの応答については求めることができる。

式(2.4)で $\frac{\gamma^2}{\lambda} M H_T = A$ とおけば $\frac{d\phi}{dt} = A \cos \phi$ より、式(2.11)となり、

$$\int \frac{d\phi}{\cos \phi} = \int A dt \quad (2.11)$$

初期条件として $t = 0$ で $\phi = 0$ を代入すると、

$$\phi = 2 \tan^{-1} e^{At} - \frac{\pi}{2} \quad (2.12)$$

となるので、これを式(2.10)に代入すると、誘起電圧は式(2.13)のようになる。

$$V = 2M \sin\left(2 \tan^{-1} e^{At} - \frac{\pi}{2}\right) \frac{Ae^{At}}{1+e^{2At}} \quad (2.13)$$

ここで誘起電圧が最大になる時間は

$$t = \frac{\log(3+2\sqrt{2})}{2A} \quad (2.14)$$

であるから、誘起電圧の最大値は式(2.15)のようになり、 $H_T \gg H_K$ のところでは、駆動磁界に比例することになる。

$$V = 2M^2 \frac{\gamma^2}{\lambda} \sin\left\{2 \tan^{-1}(1.5+\sqrt{2}) - \frac{\pi}{2}\right\} \frac{1.5+\sqrt{2}}{4+2\sqrt{2}} H_T \quad (2.15)$$

図2-1で磁性薄膜の困難方向に図2-4に示すような波形の磁界を加えたときに、センス線に誘起する電圧を、印加磁界をパラメータにして計算し、これより誘起電圧の最大値と駆動電流による磁界の関係をTR(立上り)をパラメータにして求めると図2.5のような結果が得られる。

$$H_T \leq H_X \text{ では } H_T = IM \left(1 - e^{-\frac{t}{TR}}\right)$$

$$H_T \geq H_X \text{ では } H_T = H_X$$

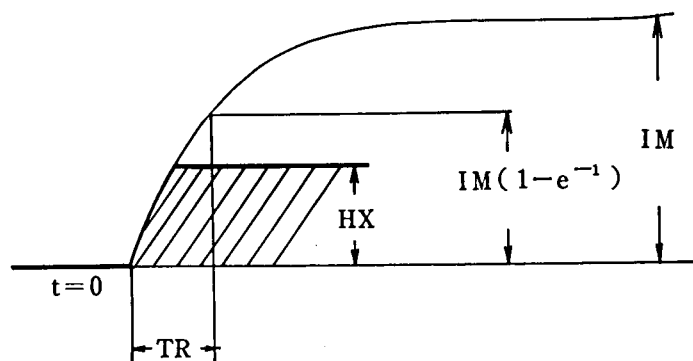


図2-4 駆動電流による磁界

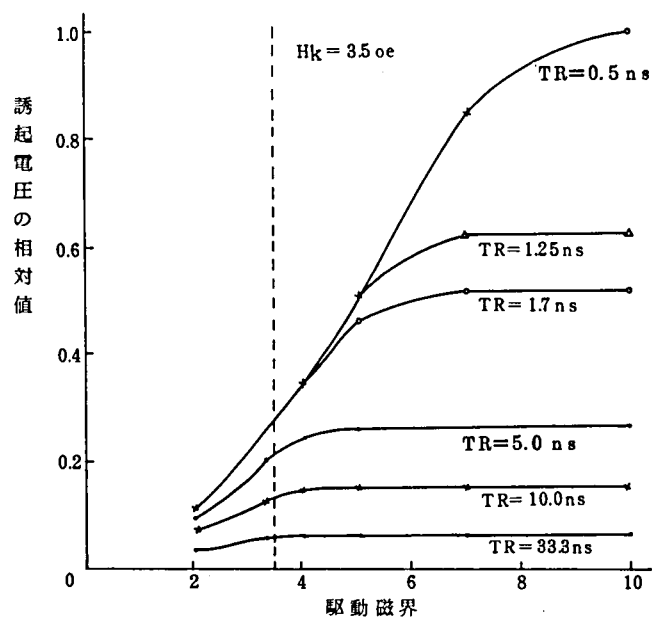


図 2 - 5 駆動磁界と誘起最大電圧の関係

ここで、計算に用いた定数は⁽¹⁷⁾ $M = 600 \text{ gauss}$, $\lambda = 3 \times 10^8 \text{ CPS}$, $\gamma = 1.76 \times 10^7 / \text{Oe} \cdot \text{sec}$, $IM = 14 \text{ Oe}$ である。

図 2 - 6 は $U = \frac{\gamma^2}{\lambda} M$ をパラメータにしたときのスイッチング波形の変化を示している。また図 2 - 7 は $TR = 1.7 \text{ ns}$ のときの印加磁界と誘起電圧の最大値の関係について計算結果と実験結果を比較したものである。

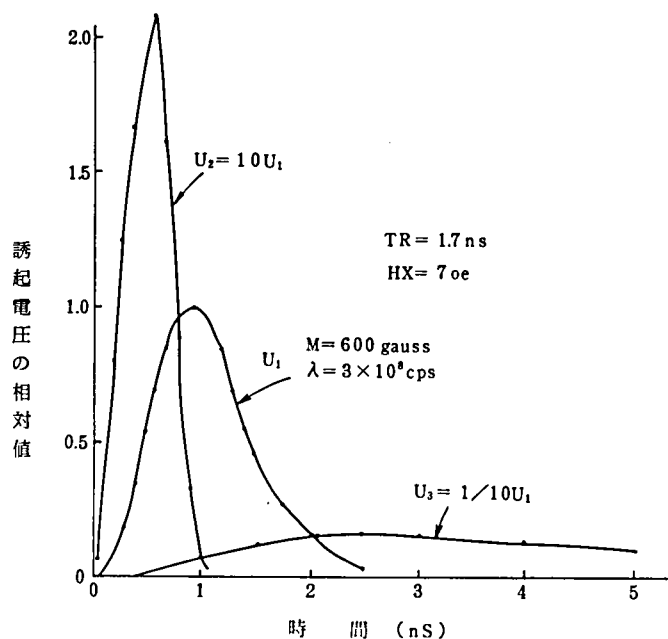


図 2 - 6 スイッチング波形と $U = \frac{\gamma^2}{\lambda} M$ との関係

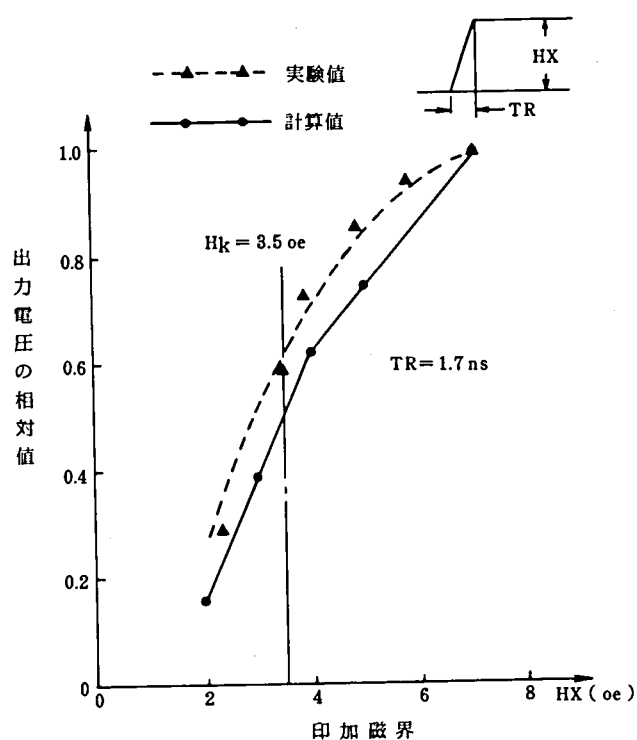


図 2 - 7 印加磁界と出力電圧の関係

以上より，磁性薄膜の困難軸方向へのスイッチングによるセンス線の誘起電圧は，印加磁界の波形によりいちじるしく異なり，印加磁界が大きく立上りがよい程誘起電圧の最大値は大きくなるが，立上りが一定であれば印加磁界を大きくしても，誘起電圧の最大値は飽和に達することが明らかとなった。このことから，磁性薄膜を記憶素子として使用する場合は，駆動回路の諸条件から定まる印加磁界の立上り特性に応じて駆動電流の振幅を決定すればよいことになる。

2.3 記憶装置の構成

2.3.1 結合形磁性薄膜記憶素子

磁性薄膜メモリプレーンでは外部磁界の影響，妨害の影響，ビット密度の向上などに対して，素子の磁路を閉じた構造にするのが決定的に有利である。平板形磁性薄膜メモリプレーンでは，この磁路の閉じた構造を実際に作るのに一般的に二つの方法がある。一つはフェライトなどのフラックスキーパを用いる方法であり，もう一つは結合形磁性薄膜によるものである^{(7),(8)}。

結合形磁性薄膜記憶素子は図2-8のように語線，けた線などのストリップ線をはさんで，2枚の磁性薄膜がお互いにわずかの間隙を介して磁氣的に結合し，半閉磁路を作るものである。

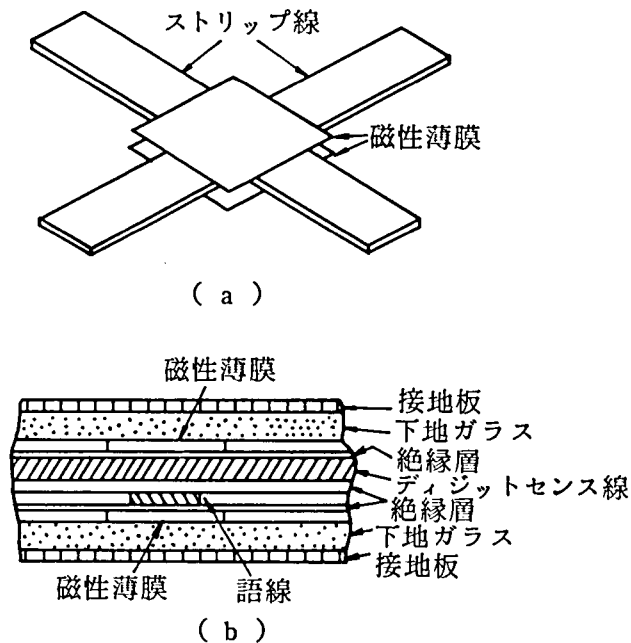


図2-8 結合形磁性薄膜記憶素子

フラックスキーパ形に比べて，すべて薄膜で構成できるので作りやすいという利点がある。この形の素子では，2枚の膜の磁氣的な結合の強さが素子の記憶特性を左右する大きな要素であり，この結合の強さは2枚の膜の間隙できまり，その関係を図2-9に示している。この図は $0.6\text{ mm} \times 0.6\text{ mm}$ の角形の蒸着膜（膜厚約 1500 \AA ，ガラス下地に蒸着したもの）について調べたもので，膜の間隙が $40\text{ }\mu\text{m}$ 以下では出力電圧は完全に飽和しており，磁氣的な結合が完全であることが示されている。このときの出力電圧値は，薄膜が一樣に磁化しているとして，磁束密度から計算した値にはほぼ一致し，また実際に一樣に磁化していることもカー効

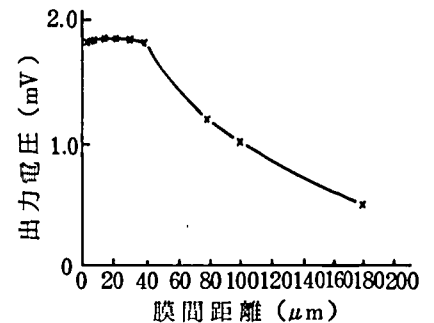


図2-9 膜間距離と読出し電圧の関係

果によって確かめられている。膜の間隙が $40\text{ }\mu\text{m}$ 以上になると、書込み磁界が消えた瞬間から自己の反磁界により端に反対方向の磁区が表われ、一様でなくなる。このように間隙が大きくなると、ストリップ線と交差する磁束の割合が減り、さらに、膜の磁化の一様性が失われるため、磁束自身の絶対量も減少し、両方の効果で急速に結合の効果が減少し、 $100\text{ }\mu\text{m}$ 以上の間隙になると、結合効果はほとんど失われてしまう。

つぎに、素子の各部分の寸法についてはつぎのように決定した。

まず、素子間ピッチ（ビット密度）については、おもに工作上の理由から 1 mm と決め、このピッチでの素子のクリープ特性および膜の磁氣的結合状況から、薄膜の寸法を $0.6\text{ mm}\times 0.6\text{ mm}$ 、二枚の膜の間隙を $40\text{ }\mu\text{m}$ 以内にする事とした。この間隙の中に語線・けた線・絶縁層が入るが、ここでは減衰定数が最少になるようにふり分け、さらに工作上の問題も配慮して語線を $5\text{ }\mu\text{m}$ 、絶縁層を $8\text{ }\mu\text{m}$ 厚、けた線を $12\text{ }\mu\text{m}$ 厚とした^{(10),(12)}。

語線の幅は、渦流の影響と語電流による磁性薄膜上の磁界分布を計算して 0.5 mm とした。また、けた線の幅は渦流の影響と減衰定数を考慮し、これらを最少にする寸法として 0.3 mm とした。

2.3.2 メモリスタック

上述した結合形磁性薄膜記憶素子を、1枚のガラス下地上に 32×36 個蒸着し、この下地ガラスを金属基板の上に32枚はりつけてメモリプレーンを構成した。このプレーンの容量は、128語各144ビットである。これを背中合わせにはり合わせてアップローワ構造をとった。このメモリプレーンを4段重ねて、けた線をプレーン内の線と同じ特性インピーダンスのフラットケーブルで接続した。表2-1はスタックの概略の電気的特性を示したものである。けた線の終端については雑音を減らすため終端板をとりつけ、ここに終端抵抗とトランスを取り付けて、そ

表2-1 メモリスタックの電気的特性

語 駆 動 電 流	I_w	400 mA
け た 電 流	I_D	$\pm 50\text{ mA}$
出 力 電 圧	V_S	$\pm 2\text{ mV}$
語 線 直 流 抵 抗	R_w	$2.6\text{ }\Omega / 144\text{ ビット}$
ディジット線直流抵抗	R_D	$6\text{ }\Omega / 512\text{ ワード}$
特性インピーダンス	Z_0	$22\text{ }\Omega$
伝 ば 時 間	t_d	$8\text{ ns} / 128\text{ ワード}$

の後をコネクタで外部に引き出すようにした。語線の終端については図 2-10 に示すように、接地端を層ごとに交互にふり分け、他端 (128×8) を 150 ピンコネクタ 8 個を用いて外部に引き出した。このように、両側に交互にふり分けることにより、コネクタ間の空間を大きくして語駆動回路を直接スタックにとりつけられるようにした。これにより、語電流の立上りを速くし、雑音の低減をはかった。

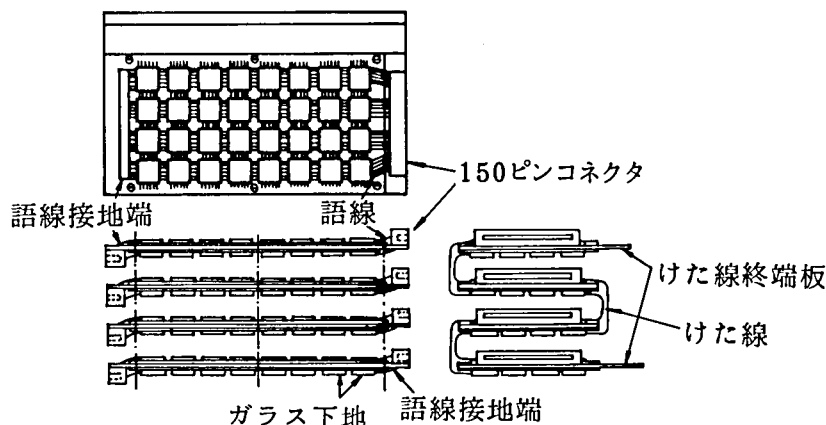


図 2-10 スタックの構成

2.3.3 周辺回路⁽²⁾

(a) 語駆動回路

語駆動回路は、128語を1単位とし、 8×16 のトランジスタマトリクスで構成した。トランジスタマトリクスを用いたのは、高速化のためと、語線の電位変動による誘導雑音を防ぐためである。図 2-11 は語駆動回路を示したものであり、この回路はトランジスタマトリクス、ベース駆動回路、およびエミッタ駆動回路に分けられる。ベース駆動回路は直結方式であり、エミッタ駆動回路はトランス駆動方式である。タイミングパルスはエミッタ駆

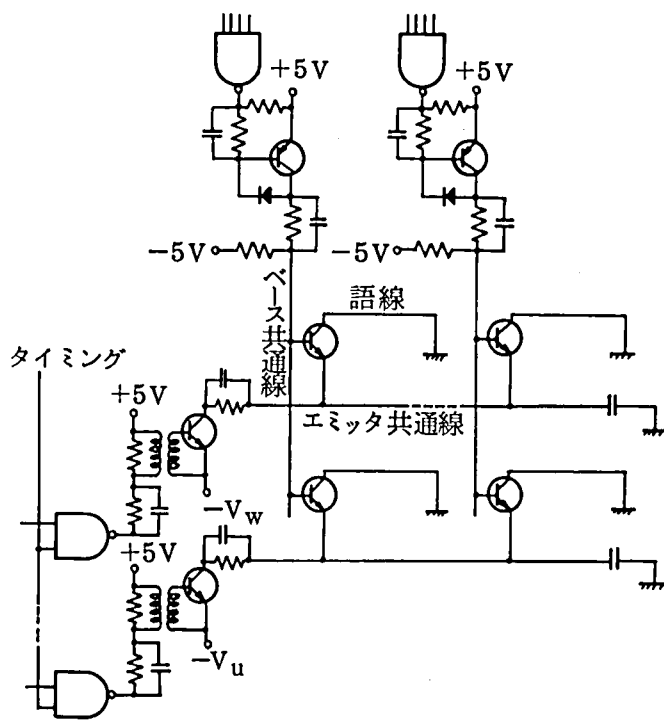


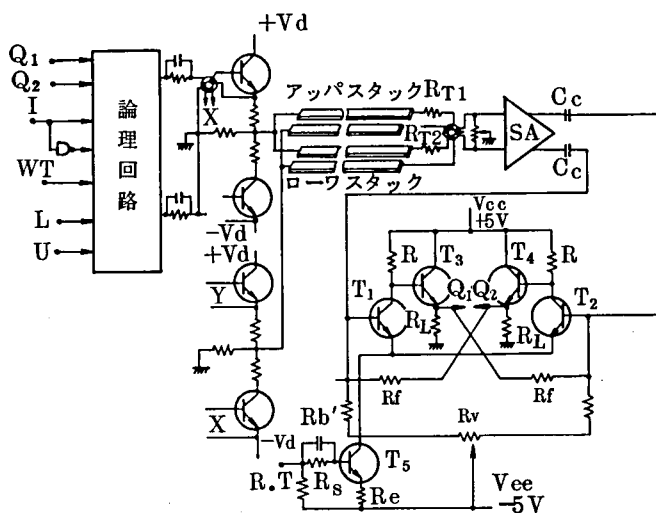
図 2-11 語駆動回路

(b) けた系回路^{(9),(11)}

j. 語電流の誘導雑音を極力小さくし，読出し時の S/N を増大する。

Ⅲ. サイクルタイムを短縮するため、書込み雑音を小さく、かつその収束を速くする。

図の左上はけた駆動回路で I は入力データ，U，L はアドレス信号で決まるアップスタック，ロースタック選択信号，WT は書込みタイミングパルスである。SA は読出し前置増幅器で差動アンプである。右下は読出し極性判別回路であるが，これについては次に述べる。



極性判別回路は正帰還をかけた差動アンプであり、共通エミッタ電流の立上り時におけるわずかの入力電圧，すなわち T_1 、 T_2 両トランジスタのベース電圧の差により，エミッタ電流立上り

後の状態の決定するフリップフロップである。この回路は、記憶装置の読出し回路に適しており、現在では半導体記憶素子に広く用いられているものである。ここでは、帰還ループにエミッタホロワ回路を付加することにより判別時間の高速化をはかっている。試作した回路は入力電圧が 0.15 V で動作し、0.2 V 以上では判別時間は一定になり、その値は 10 ns であった。また、この回路が情報を保持してから、雑音により反転するときの入力電圧は 2 V であった。

2.3.4 動作速度の検討

図 2-13 に記憶装置全体の構成を示す。

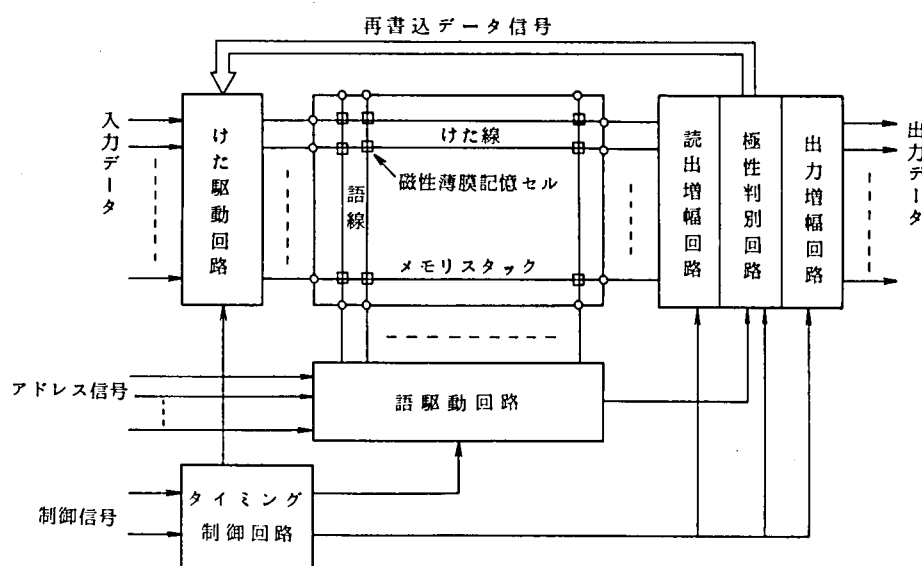


図 2-13 記憶装置構成図

ここに使用している磁性薄膜記憶セルは、破壊読出しであるため、読出し後再書込みが必要である。従って、本装置の各部の動作波形は概略図 2-14 のようになり、サイクルタイム T_c は次のように表わされる。

$$T_c = T'_p + T_{dd} + T_{dr} + T_{dw} + T_{df} + T_{sr}' + T_{sn} \quad (2.16)$$

$$T_{dw} \geq T_{wf} \quad (2.17)$$

* (注1) 書込雑音が発生しない理想の場合におけるサイクルタイムは $T_c = T_{sld} + T_{sad} + T'_p + T_{dd} + T_{dld} + T_{dr} + T_{dw} + T_{df}$ であるが、 $T_{sld} + T_{dld} + T_{sad} \ll T'_{sr} + T_{sn}$ であるから、式 (2.16) のようになる。

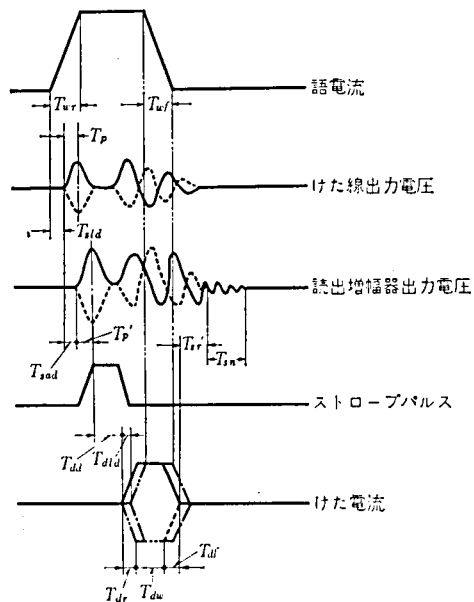


図 2 - 14 記憶装置の動作波形

ここで、

T_{sad} : 読出し増幅器の遅延時間

T_{wr} : 語電流の立上り時間

T_{wf} : 語電流の立下り時間

T_p : 読出し電圧のピーキング時間

T_p' : 読出し増幅回路出力における読出し電圧のピーキング時間

T_{dd} : ストロープパルスにより読出し電圧の極性を判別してから、けた電流が流れ始めるまでの時間

T_{dld} : けた駆動回路から書込み位置までのけた電流の伝ぱん(播)時間

T_{sld} : 読出し位置からけた線出力端子までの読出し電圧の伝播時間

T_{dr} : けた電流の立上り時間

T_{dw} : けた電流のパルス幅

T_{df} : けた電流の立下り時間

$T_{sr'}$: けた電流が立下ってから、読出し増幅回路出力端子で書込み雑音電圧が減衰

するのに要する時間

T_{sn} : 書込み雑音が減衰してからシステム雑音が減衰するのに要する時間である。

図 2-14 で T_p は T_{wr} によって決まるが、渦電流の影響が小さくなるようにメモリプレーンを設計し¹⁰⁾、かつ、読電流を前節で述べた適当な値に選べば、 $T_p \simeq T_{wr}/2$ と近似できる。また、読出し電圧を三角波で近似した場合、読出し増幅回路の帯域幅 B と読出し電圧のスイッチング時間 t_s との間に $B > 2/t_s$ の関係があれば、 $T_p' \simeq T_p$ と近似できる。これらの関係と式 (2.16)、(2.17) とから、サイクルタイムはつぎのようになる。

$$T_c = \left(\frac{T_{wr}}{2} + T_{sr}' \right) + (T_{dd} + T_{wf} + T_{dr} + T_{df}) + T_{sn} \quad (2.18)$$

式 (2.18) で第 1 項は主としてメモリスタックの構造に依存する項であり、第 2 項は主として周辺回路の特性によって定まる項である。この各項の値については後述する。

2.4 試作結果

2.4.1 動作試験結果

図 2-15 にサイクルタイム 250 ns で動作させたときの語駆動電流 I_W , けた電流 I_D に関する動作領域図を示す。動作点 $I_W=400\text{ mA}$, $I_D=50\text{ mA}$ に対し夫々 $\pm 10\%$ 以上の動作裕度があることが確認された。

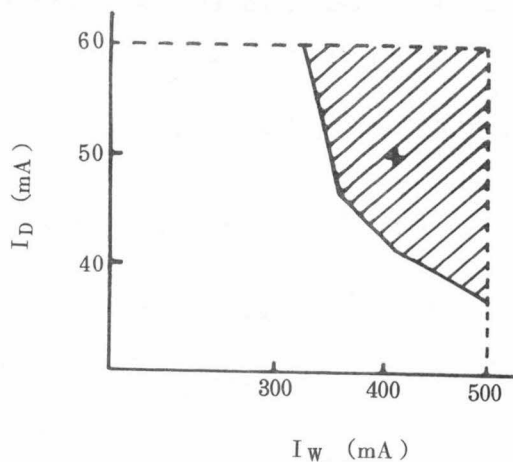


図 2-15 動作領域

図 2-16 に各部の波形を示す。センス信号に続くやや低周波の雑音は、後述のごとく記憶容量に依存するものであるが、この装置ではシステム雑音より早く減衰している。長く持続する高

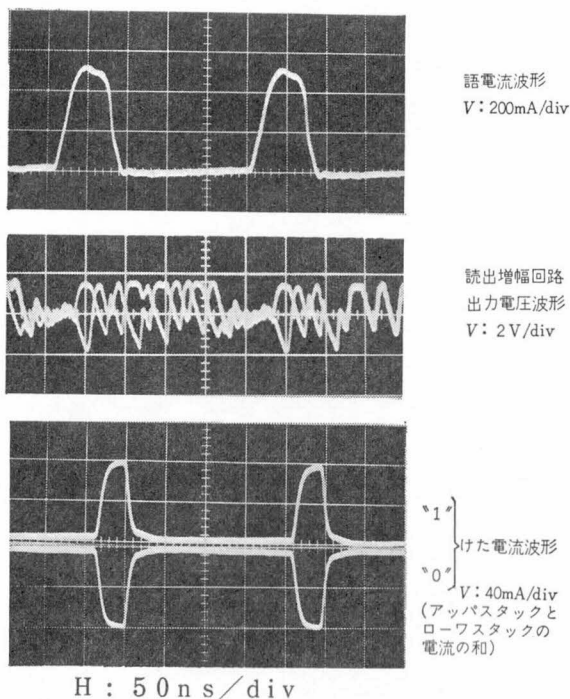


図 2-16 動作波形

周波のシステム雑音は、装置全体の接地系を強くすること、特に回路の接地とスタックの接地の間のインピーダンスを小さくすること、論理レベルの信号配線をツイストペアにすることなどが、これを小さくするのに有効である。これらをさらに徹底することにより、サイクルタイム 220 ns で十分安定に動作しうるものと考えられる。

アクセスタイムは語系にトランジスタマトリクスを採用し、さらにこれをスタックに直結して配線による遅れを除いたこと、読出し系に高速の極性判別回路を用いたことなどにより、約 80 ns が得られた。

2.4.2 記憶容量と動作速度の関係

試作装置の各部の遅延時間を測定した結果を表 2.2 に示す。また、記憶容量（語数）と $T_{sr'}$ の関係は図 2-17 の下側の曲線のようにになる。これから記憶容量とサイクルタイム T_c の関係は図 2.17 の上側の曲線のようになり、サイクルタイムは記憶容量（語数）の増加に対し、ほぼ直線的に増加することがわかる。

表 2-2 1 遅 延 時 間

T_{wr}	T_{sn}	T_{dd}	T_{nf}	T_{dr}	T_{df}
30 ns	30 ns	8 ns	30 ns	15 ns	15 ns

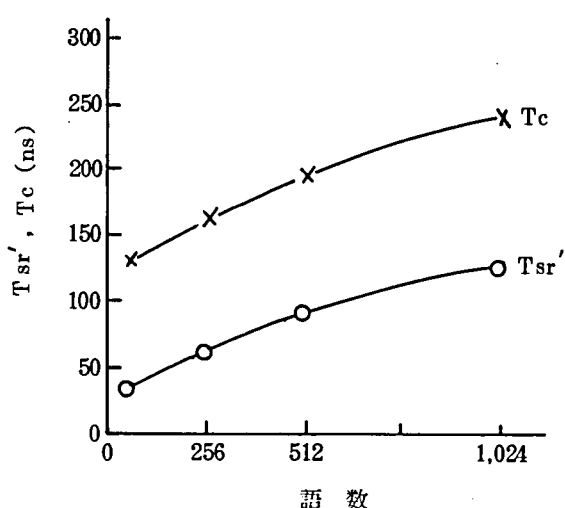


図 2-17 語数とサイクルタイムの関係

2.5 結 言

真空蒸着法による良質の磁性薄膜を2枚対向させることにより、実効的に閉磁路を構成した結合形磁性薄膜記憶素子を使用し、これに高速化、低雑音化のための種々の改良を施した周辺回路を構造的に直結し、全体をコンパクトに集積化することにより16KBの記憶装置を試作した結果、アクセスタイム80ns、サイクルタイム250nsの高速で、安定に動作することが確かめられた。

この結果より、高速記憶装置を設計する場合に必要な多くの資料を得た。これによると、

- (1) 結合形磁性薄膜記憶素子を設計するためには、2枚の磁性薄膜の結合を完全にするため、その間隙をある一定の値(0.6mm×0.6mmの磁性薄膜では40μm)以内におさえ、渦流の影響を少なくするためにストリップ線の幅は磁性薄膜の幅よりせまくし、厚さも可能な限り薄くする。
- (2) 大きな読出し電圧を得るためには、語電流の立上りをできるだけ急峻にし、振幅は立上り時間に適した値に選ぶべきである。
- (3) 動作を安定化し、サイクルタイムの短縮をはかるには、語駆動および桁駆動による誘導雑音を極力小さく抑え、かつ、その減衰を早くしなければならない。そのためには、読出し増幅器の前にトランスを用いた2交点/ビットのアップローフ方式が有効である。
- (4) 読出し回路にエミッタホロワ付きの極性判別器を用い、再書込みループからメモリレジスタをはずすことにより、高速化が可能となりサイクルタイム250nsが得られた。
- (5) 記憶容量がサイクルタイムに与える影響は、記憶容量を大きくすると書込み雑音の減衰に時間がかかり、測定した範囲では、記憶容量に対しほぼ直線的にサイクルタイムが増大している。

今後、改善すべき問題点としては、つぎのようなものがある。

- (a) 素子を小形化し、駆動電流を小さくする。
- (b) 素子を小形化し、ストリップ線長を短くして、高速化をはかる。
- (c) 周辺回路を集積化し、小形化、高速化をはかる。
- (d) 装置の接地系をより完全にし、システム雑音を低減させる。

参 考 文 献

- 1) M. S. Blois, Jr : "Preparation of thin magnetic films and their properties".
J. appl. Phys., 26, 8, P975 (Aug.1955)
- 2) W. Anacker, G. F. Bland, P. Pleshko and P. E. Stuckert : "On the design and Performance of a small 60 n sec destructive readout magnetic film memory " IBM J.,
10, 1, P 41 (Jan 1966)
- 3) G. J. Ammon and C. Neitzert : "An experimental 65 nanosecond thin film scratch-pad memory system". FJCC, 27, 1, P 649 (1965)
- 4) E. E. Bittmann : "A 16K word 2Mc magnetie thin film memory". FJCC, 28, 1,
P 93 (1964)
- 5) R. S. Webley and A. T. Gibson : "The design of a magnetic thin film store for commercial production" Radio Electronic Engr"., 33, 3, P 193 (March 1967)
- 6) 大島, 小林, 上林, 岡田, 駒沢, 小室 : "ファインストライプメモリについて", 信学会電子計算機研資, EC 69-7 (1969-07).
- 7) 蒲生, 上坂, 奥村 : "カップルドフィルムメモリ素子", 昭 4 3 信学全大, 346.(昭43-10)
- 8) 上坂 : "カップルドフィルム記憶素子", 学振第 137 委員会研資, 41 (昭 44-01).
- 9) 蒲生, 谷口, 尾崎, 小島 : " 磁性薄膜記憶装置における読出し回路の一方式 ", 信学論 (C),
51-C 8, P. 383 (昭 43-08).
- 10) 蒲生, 谷口, 尾崎, 小島 : " カップルドフィルムメモリプレーンにおける渦流の影響の測定 ",
信学論 (C), 52-C, 1, P. 65 (昭 44-01),
- 11) 蒲生, 谷口, 尾崎, 小島 : " 磁性薄膜メモリにおける情報雑音消去の方法 ", 昭 4 3 信学全大 930.
- 12) 蒲生, 谷口, 尾崎, 小島 : " カップルドフィルムメモリプレーンの特性計算 ", 信学会磁気記録研資 (昭 44-01)
- 13) 蒲生, 谷口, 尾崎, 小島 : " CF メモリプレーンにおける語線の形状と読出電圧の関係 ",
昭 4 4 信学全大, 912. (昭 44-09)
- 14) 新田, 石井, 渡辺 : " 4 K 語磁性線記憶装置 ", 信学論 (C), 51-C, 11, P. 500 (昭 43-11).

- 15) D. O. Smith "Magnetization Reversal and Thin Films" J. A. P. Vol 29 No 3 (March 1958).
- 16) Morrish, A. H "Physical Principles of magnetics" Wiley (1964).
- 17) C. D. Olson and A. V. Pohm "Flux Reversal in Thin Films of 82% Ni, 18% Fe" J. A. P. Vol 29 No 3 (March 1958)
- 18) 蒲生, 前田, 酒井: "記憶装置読出し回路の一方式", 昭40連大, 1850 (昭40-04)
- 19) 蒲生, 小島, 南部, 上坂, 谷口, 尾崎: "電子計算機用カップルドフィルム形記憶装置", 三菱電機技報 45, 7, P 939 (昭46-7).
- 20) 蒲生, 小島, 上坂, 南部, 谷口, 尾崎: "16 K バイト結合形磁性薄膜記憶装置の試作", 信学論 (C) 54-C, 8, P 729 (昭46-8).
- 21) 蒲生, 小島, 谷口, 尾崎: "磁性薄膜記憶装置の一設計法", 信学論 54-C, 2, P. 179 (昭46-02).

第3章 電荷結合形記憶装置*

3.1 はじめに

Charge Coupled Device (CCD)は1970年にBoyle⁽¹⁾によって発表された半導体デバイスであり、シリコン半導体基板の表面に酸化膜絶縁層を作り、その上に半導体の電極を形成したもので、通常のLSI製造技術により作られる。しかしながら、通常のLSIに較べると、不純物拡散、コンタクト孔をセルに含まず、構造的に簡単なので高い集積度を低価格で実現し得ると考えられてきた。

CCDは遅延線^{(2),(3),(4)}、イメージセンサ^{(5)~(9)}等の分野にも応用されつつあるが、メモリに適用した場合、このメモリは電荷の転送にもとづくシフトレジスタであり、RAMのような高速動作は期待できない。従って、CCDをデジタルメモリに応用する場合には、コストが安いことが必要であり、ことに半導体メモリとしてもっとも激しい競争裏にあるMOSダイナミックRAMのコスト低減に対抗していけるか否かが重要な鍵となる。

これらメモリのビット当りの単価は図3-1のように予想され、CCDはMOSダイナミックRAMに比較してほぼ1/3程度のコストを維持していくことが期待される⁽¹⁰⁾。もちろん、コストとパフォーマンスは切離して議論することは意味がなく、具体的な応用に対して利害得失を判断しなければならないが、CCDの設計にはかなりの柔軟性がある。

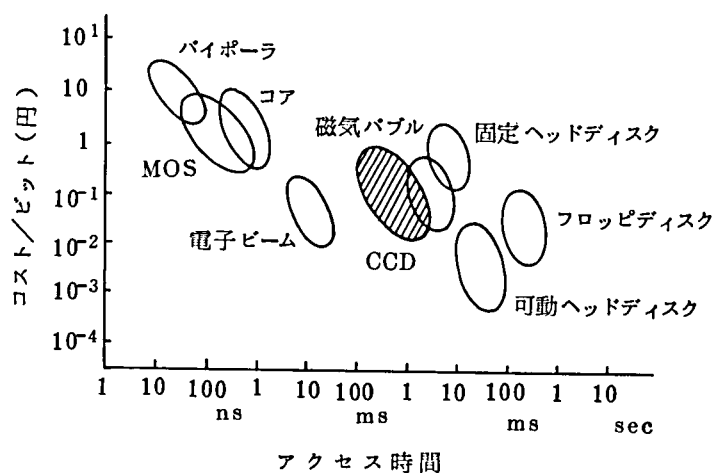


図3-1 各種メモリのアクセス時間とコスト

先にも述べたように、もともとCCDメモリはセル面積がMOSダイナミックRAMより小さくできること、メモリ部分にコンタクト孔、拡散領域がない簡単な構造であること、MOS

*本文中ではCCDメモリと記す。また電荷結合素子は単にCCDと記す。

ダイナミックRAMの不良モードの一つであるリフレッシュ不良も避け易いことなど、面積的、構造的、および歩留りの見地から低コストとなる土台がある。とはいえ、CCDメモリがコスト・パフォーマンス面でMOSダイナミックRAMに対して圧倒的な格差を達成するには、メモリの充填密度をさらに増加させる必要がある。

CCDメモリを高集積化するには、(1)微細加工を推し進める、(2)メモリの構造、駆動方式に改良を加える、の2方向が考えられる。しかし、CCDのプロセスはMOSダイナミックRAMと同一であるため、(1)の方向はCCDの優位性を増すものではない。むしろできるだけ容易なパターン設計基準を使い、プロセスはMOSダイナミックRAMより単純化を図りながら、高集積化をめざす(2)の方向をとらねばならない。

CCDメモリの構成法としては従来よりシンクロナス方式^{(11)~(14)}とSerial-Parallel-Serial (SPS)方式^{(15)~(17)}が発表されている。シンクロナス方式は多数のシフトレジスタ(S/R)を平行に配列し、全ビットを同時に平行にシフトさせるものである。S/Rの長さは転送効率の点より64ビット程度とする必要があり、結果的に比較的短いラテンシータイム*が得られる、一方センスアンプを各S/R毎に設ける必要があり、メモリセル以外の面積比率が大きく、また、大容量負荷の高速駆動パルスが必要となる欠点がある。これに対し、SPS方式は並列に配置した多数のS/Rの各入・出力を各々別のS/Rで接続し、そのS/Rの先端に各々1ケの入力回路あるいはセンスアンプを設けることにより、上記の欠点をカバーしたものであるが、ラテンシータイムが長くなる欠点がある。

両方式ともS/R部は1ビット当り4電極を要するため、1ビット当りのセル面積はダイナミックRAMの10%減程度が必要となる。CCDメモリの実用化のためには、磁気記録では実現し得ないスピードを保ちながら、ビット密度を上げコスト低減を実現する必要がある。このためには、1ビット当りの所要電極数を減らす、言い換えれば、電極当りのビット数を増やすことが本質的に要求される。さらに周辺回路の数を減らし、かつ面積を小さくしてメモリセル以外の面積比率を小さく抑える工夫が必要である。

筆者は、全体の構成法としてはシンクロナス方式を採用して、ラテンシータイムを短かく保ちながらCCDメモリが本質的にはアナログ素子である点に着目し、1つのポテンシャル井戸に多数段階の電荷充填状態を与えて電極当りのビット数の増大を図った。この方式をMLS (Multi-Level-Store) 方式と呼ぶ。ここでは4種の電荷充填状態により、2ビットを記憶させる素子、および入・出力回路の数を減らすため、4列のS/Rに対し1組の入・出力回路を用いる方

* ラテンシータイム：潜伏期間

式を開発し、この動作をテストデバイスを試作して確認した。また、この結果を用いて128KビットCCDメモリを設計した。この結果、ビット当りメモリセル面積はダイナミックRAMに比し約2分の1となり、チップ全体の面積としてはダイナミックRAMの1.4分の1が得られた。

電極当りのビット数を増すもう一つの方法は、E/B (Electrode per Bit) 方式と呼ばれ、Nケのポテンシャル井戸に(N-1)ケのデータを蓄積し、残り1ケの空のポテンシャル井戸を2N相のクロックにより、逆方向に移動することによりデータの転送を行う方式である。この方式は多相の駆動パルスが必要とすることと、1ビットを隣へ移すのにNクロックタイムを要し、スピードが遅くなるという欠点を有する。

筆者はこの点に関し、低電力化されたパルス増幅回路を考案することにより、全ての転送クロックドライバをチップ内に集積化し、また高速化と入・出力回路の効率化すなわち回路数の低減を図るため、構造的には4ケのS/Rを、機能的には1ケのS/Rとして動作させる4チャンネルマルチプレクス方式を開発し、さらに動作の安定化を図るため、プロセス変動、電圧、温度等の外乱を補償し得る基準電圧発生回路を開発した。これらに基づいて、64KビットCCDメモリの設計試作を行った結果、低電力で比較的高速のCCDメモリが実現できることが確認された。

メモリセル面積はダイナミックRAMの約1.9分の1、ビット当りのチップ面積では約1.3分の1が得られた。

MLS方式、E/B方式とも試作チップのメモリセル部の面積比率は50%以下であり、残り50%以上を占める周辺回路部の面積縮小が今後の課題と言える。これに関しては、転送効率の向上が鍵であり、今後プロセスの一層の微細化にともなう高精浄化により、転送効率の向上が期待され、これによりCCDメモリのコストパフォーマンスの向上が期待される。

3.2 電荷結合形記憶装置の動作原理

3.2.1 電荷結合素子の動作機構

C C Dの基本構造は、図3-2に示すように半導体基板の上にM O S電極を一行に並べたものである。基板がP形半導体の場合、電極に正の電圧を加えると、その電極下には空乏層ができる

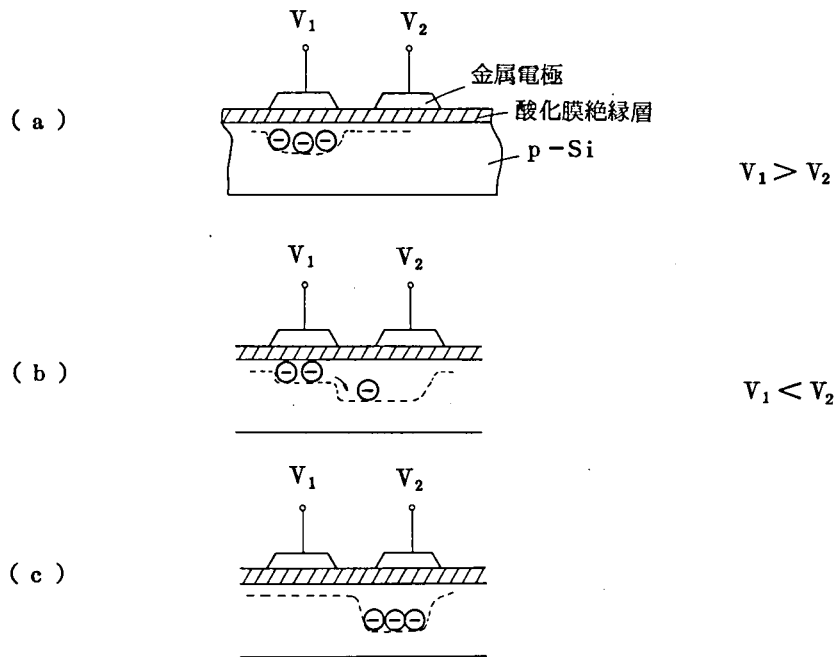


図3-2 C C Dの動作原理

ので、この部分に電荷（P型基板を用いる場合は電子）を蓄えると、この電荷は散逸することなく保持される。このM O Sキャパシタに蓄えられる電荷密度 Q は、一次元の空乏層近似によれば次式で与えられる。

$$Q = C_{OX} (V_G - V_{FB} - \phi_S) - \sqrt{2qN_A \epsilon_S \phi_S} \quad (3.1)$$

ここに、 C_{OX} : 単位面積当りの静電容量 $(F \cdot cm^{-2})$

V_G : ゲート電圧 (V)

V_{FB} : フラットバンド電圧 (V)

ϕ_S : 表面ポテンシャル (V)

q : 素電荷 (C)

N_A : 基板のアクセプタ不純物濃度 (cm^{-3})

ϵ_S : 基板(Si)の誘電率 $(F \cdot cm^{-1})$

次に隣接する電極にさらに高い電圧を印加すると蓄えられた電荷は、隣の電極下に転送させられる。この転送の機構は次の3つに分類される。

- (1) Self-induced drift
- (2) thermal diffusion
- (3) fringing field drift

Self-induced drift は、蓄えられた電荷（以下これを信号電荷と記す）自体で生ずる電界による drift で、信号電荷の約99%はこの効果によって転送される。この転送速度は速く、転送される電荷の量は時間とともに急速に減衰する。

Thermal diffusion は、Self-induced drift で転送されなかった残りの電荷を転送させるもので、電荷は指数関数的に減衰する。この時定数は、 $\tau_{th} = L^2 / 2.5 D$ となる。ここに、 D は拡散係数、 L は電極の中心間距離である。

fringing field drift は、ゲート電極に加えられる電圧により生ずる表面ポテンシャルの傾斜による drift で、転送を加速させる作用をする。この電界は、ゲート電極の中央では一番小さく、ゲートにそった距離によって変化し、隣接電極との中間点で最大となる。この電界の大きさは、酸化膜の厚さとゲート電圧に比例し、ゲート長や不純物濃度を増すと減少する。

これらの転送機構は、いずれも蓄積された電荷を100%転送させるものではなく、また表面チャネルCCDでは界面トラップによる信号電荷の捕獲が起るため、転送される電荷は減少していく。ゲートごとに転送する信号電荷のものと信号電荷に対する割合を転送効率 η という。この η の値によって信号電荷を何回くらい転送できるかが決まるため、この η はCCDの特性上もっとも重要なパラメータである。いま、初めの信号電荷量を P_0 とすると n 回転送後の電荷量 P_n は、

$$P_n = P_0 \eta^n \simeq P_0 (1 - n \epsilon)$$

但し $\epsilon = 1 - \eta \ll 1$ のとき

となる。

3.2.2 CCDメモリの構成法

CCDメモリは数ケ～数100ケのCCDシフトレジスタ(S/R)からなる。このS/Rを二次元的に構成する方法として、大別してシンクロナス方式^{(11)~(14)}とSerial-Parallel-Serial (SPS)方式^(15,16,17)がある。

シンクロナス方式は図3-3にみられるように、多数の S/R を平行に配列し、全ビットを同時に平行にシフトさせる。センスアンプは各シフトレジスタ毎に配置する。平行に並んでいるシフトレジスタへの入出力の選択は、アドレスデコーダにて行う。S/R のビットを 64 ビット毎に選ぶので比較的短いラテンシータイムを得るのに適している。一方、S/R 毎にセンスアンプを配置する必要があるので、チップ上でセル以外の面積比率が大きくなる欠点がある。

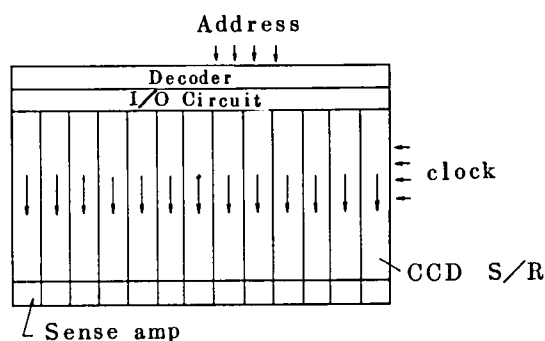


図 3-3 シンクロナス方式

S P S 方式は図3-4に示すように、シフトレジスタを serial 部— parallel 部— serial 部に分け、serial 部にデータを満した後、一斉に parallel 部に移し、再び serial 部に移して、この serial S/R からデータを取り出す方式である。従って、センスアンプ当りのビット数を大きくとることができ、高集積化に適する。しかし、普通 4 K ビット以上を 1 ブロックとするため、ラテンシータイムは数 100 μ sec ~ m sec となりシンクロナス方式に比較して大きくなる。データの転送速度は serial S/R の最大駆動周波数で決まる。

どちらの方式をとるにしても S/R 部は 1 ビット当り 3 ~ 4 電極を要するため現状のパターン微細化レベルでは 200 μ m² 程度の面積を要し、同じ微細化レベルでの RAM の 10 % 減程度にとどまる。この意味から駆動法および構造に工夫を加えて電極当りのビット数を増加させることが必要となってくる。本章ではこれに対する有力な手段として、(1) M L S (Multi Level Storage) 方式、(2) E/B (Electrode per Bit) 方式をとりあげる。

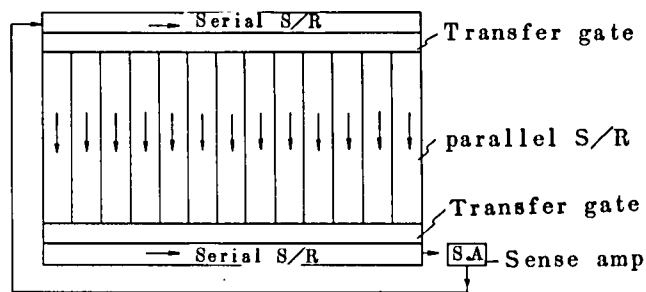
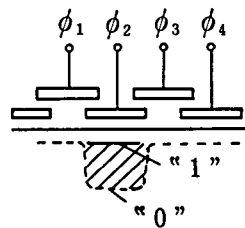


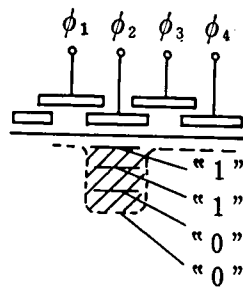
図 3 - 4 S P S 方式

3.2.3 記憶密度の向上：MLS方式⁽¹⁸⁾⁽¹⁹⁾⁽²⁰⁾とE/B方式⁽²¹⁾⁽²²⁾⁽²³⁾⁽²⁴⁾

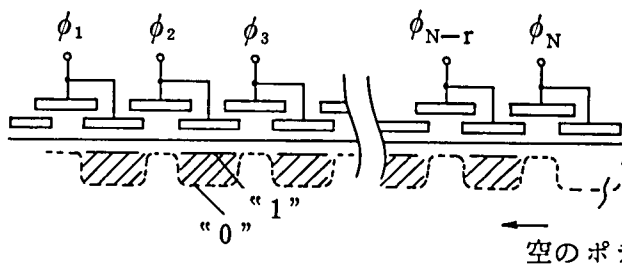
従来法とMLS方式及び次節でのE/B方式との比較を図3-5に示す。MLS方式はアナログシフトレジスタとしての性質を利用するもので、ポテンシャル井戸に多数段階の電荷充填状態



(a) 従来の4相駆動方式



(b) MLS駆動方式



(c) E/B駆動方式

図 3 - 5 各種駆動方式の比較

を与えて電極当りのビット数を大きくしようとするものである。図 3-5 (b) はひとつのポテンシャル井戸中に 2 ビットに対応する 4 種の電荷充填状態を与える例であり、これを 4 相駆動する場合、電極当りのビット数は同図(a)の従来方式に比して 2 倍となる。MLS 方式はポテンシャル井戸下にいかにして多段階の電荷充填状態を与えるか、また多段階の電荷充填状態をいかにして転送するか、実用レベルの電荷転送効率に対してどの程度の転送回数毎に再生回路を配置するか、加えて再生回路ではいかにして多段階の電荷充填状態を読みわけのかが大きな問題となる。3.3 ではこれらに対して新しい方法と方式を提案し、試作を通じて問題点を明らかにする。

E/B 方式は N 個のポテンシャル井戸に $(N-1)$ 個のデータを蓄積し、 N 個ごとに 1 個の空のポテンシャル井戸を設け、これを N 相のクロックパルスにより移してゆく方法である。この方式を図 3-5 (c) に示す。従来法では 4 電極当り 1 ビット、E/B 法では 4 電極当りほぼ 2 ビットのデータが蓄積され、メモリの充填密度はほぼ倍増する。しかしながら、この方式は多くの駆動パルスを必要とする上、1 ビットを隣へ移すのに時間を要する欠点がある。

3.4 では E/B の空のポテンシャル井戸を転送するという概念を用いた 4 つのストレージセルで 3 ビットを記憶するという方式を採用し、十分な信号電荷量を確保しながらビット密度の向上を計るメモリを提案する。そして、このメモリでのセンスアンプでの問題点、また集積度の低下をさける為の 4 チャンネルマルチプレックス法について新しい提案を行い、試作を通じてその効果を明確にする。

CCD メモリの使い易さの障害としては、転送クロックの大きな容量性負荷がある。現在までに発表された CCD メモリにおいては、C-MOS ドライバとの 2 チップ構成の 1 例を除いて全てが、小さいものでも 100 pF から大きいものなら数千 pF の入力容量の MOS レベルのクロックが必要であり⁽²⁵⁾⁽²⁶⁾、使い易さの上で欠点となっている。

3.4 で提案するメモリに対しては、使い易さと信頼性の向上、テストコストの低減、さらに低消費電力化を計る為に n チャンネルの MOS ダイナミック回路を用いた転送クロックドライバをメモリ部と同一のチップに集積する方法を採用し、その効果を明確にした。

3.3 MLS方式による電荷結合形記憶装置

MLS方式の基本動作は入力デジタル信号の2ビット分をひとまとめにして、入力ステージで4種の電荷充填状態に変換する動作、この信号電荷をCCDシフトレジスタで転送する動作、検出回路で再びデジタル信号に変換する動作からなっている。以下にこの3つの基本動作を行う構造と駆動法を提案し、この動作をテストデバイスで確認し、これを128Kビットメモリに適用した場合の問題点を明らかにする。

3.3.1 入力方法

4種の電荷充填状態は図3-5(b)に示したように、2ビット分のデジタル信号に対応している。

すなわち、デジタル信号の“1, 1”を電荷量の「満タン」状態 Q に、“1, 0”を電荷量の $2/3 Q$ に、“0, 1”を電荷量の $1/3 Q$ に、“0, 0”を電荷量の空の状態に対応させている。

入力ステージは図3-6(a)に示すように ϕ_T , I_1 , I_2 , S の4段の入力ゲートで構成され、入力データはソース拡散領域(Input node)に順次印加される。ここで、入力デジタル信号のうち、“1, 0”と“0, 1”を区別するため次のような工夫がしてある。入力ゲート S の面積を入力ゲート I_1 の面積の2倍にして S の下に蓄積される電荷量は I_1 の下に蓄積される電荷量の2倍にする。そして、最初にくる信号(以下1stデータと呼ぶ)に対応する電荷は入力ゲート S の下

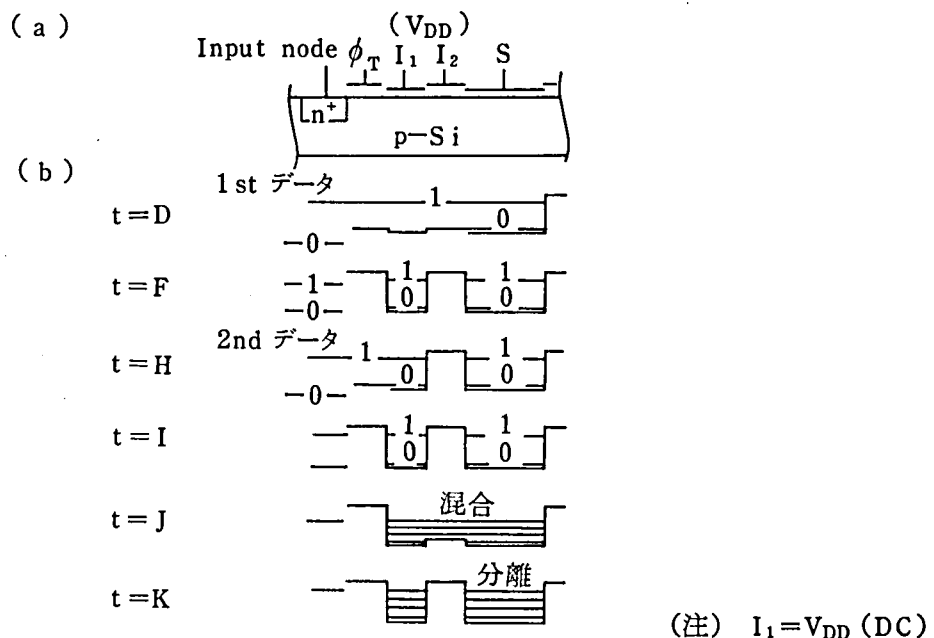


図3-6 入力ステージ構造(a)および各時刻における電荷量の状態(b)

に蓄積され、また 2 番目にくる信号（以下 2nd データと呼ぶ）に対応する電荷は入力ゲート I_1 の下に蓄積される。この両方の電荷を混ぜると、入力デジタル信号“1, 1”は電荷量 Q に、“1, 0”は $2/3 Q$ に、“0, 1”は $1/3 Q$ に、“0, 0”は電荷量 0 に対応する。

各入力ゲートに印加されるパルスのタイミングダイアグラム（図 3-7）にもとづいて、上記の入力動作を説明する（ただし、 I_1 には V_{DD} レベルの DC 電圧が印加されている）。図 3-6 (b) に各時刻における電荷の蓄積状態を示す。まず 1st データはすべての入力ゲートがオンしている時注入される。論理“1”の時には Input node は V_{SS} レベルとなるので電荷は S の下ま

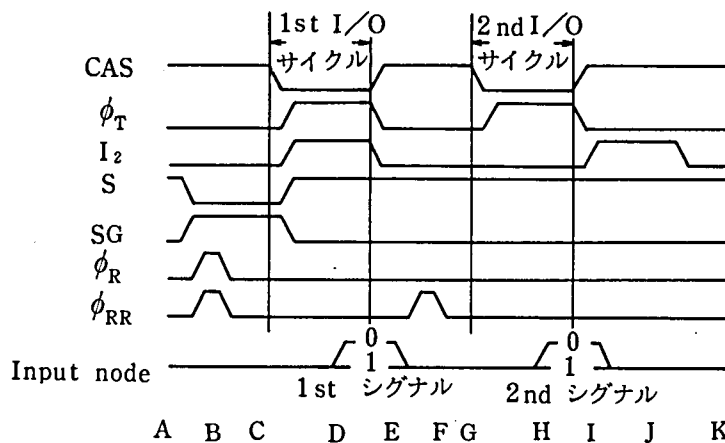


図 3-7 入力ステージおよび検出回路で使われるパルスのタイミングダイアグラム

で注入される。一方、論理 0 のときには Input node は V_{SS} レベルから high レベルになるので S の下には I_2 と S のポテンシャル差に対応するファットゼロ電荷だけが残る（ $t=D$ ）。そして 1st データのサンプリングは I_2 がオフすると（ $t=E$ ）完了し、 S の下に 1st データに対応する電荷量が残る。再び ϕ_T をオンして 1st データと同様の方法で 2nd データを注入する（ $t=H$ ）。そして 2nd データのサンプリングは ϕ_T がオフすると（ $t=I$ ）完了し、 I_1 の下には 2nd データに対応する電荷量が残ることになる。以上の動作が完了したら I_2 をオンし、1st データに対応する電荷（ S の下の電荷）と 2nd データに対応する電荷（ I_1 の下の電荷）を混合し（ $t=J$ ），次に I_2 をオフして再び分離する（ $t=K$ ）。結果として $t=K$ において S の下に入力デジタル信号を 4 種の電荷充填状態に変換した信号電荷が蓄積される。

3.3.2 転送方法

CCD シフトレジスタは表面チャンネル 2 層ポリシリコンゲート構造であり、これを 4 相

のパルスで駆動する。M L S 方式では 4 個の電荷充填状態間の差が大きいことが検出回路，動作マージンの観点から要求され，したがって転送可能な電荷量を増す必要がある。しかし，このために転送部のゲート面積を増すことは M L S 方式の特長を損うことになる。これを解決するために図 3-8 に示すような 4 相の転送クロックを用いた。この駆動方式では，信号電荷はつねに複数の電極にまたがって転送されるので，転送ゲート面積を増すことなしに転送可能な電荷量を増すことができる。

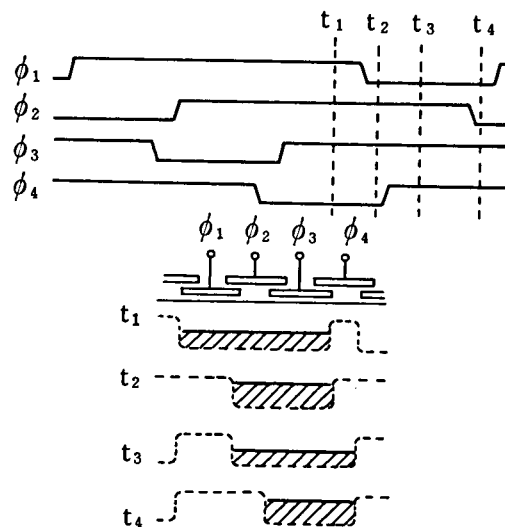


図 3-8 4 相の転送クロック（信号電荷は複数の電極にまたがって転送されていく）

3.3.3 検出方法

検出回路の原理を図 3-9 に示す。C C D シフトレジスタから転送されてきた信号電荷レベルは Q ， $2/3 Q$ ， $1/3 Q$ ， 0 の 4 つの値のいずれかである。そのうち 1st データが論理“1”ならば電荷量は Q か $2/3 Q$ である。したがって，まず $1/2 Q$ の電荷量の基準信号と比較する。この比較結果から 1st データが論理“1”か“0”かが判定される。そして 1st データが論理“1”なら次は $5/6 Q$ の基準信号と再び比較し，論理“0”なら $1/6 Q$ の基準信号と比較して 2nd データが論理“1”か“0”かを判定する。

このような検出動作を実現する回路を図 3-10 に示す。Output node と Reference node をリセットするトランジスタ（ T_1 ， T_2 ），基準信号を発生するダミー C C D，およびフリップフロップ形のセンスアンプから構成されている。まず，Output node と Reference node をリセットした後，Output node には信号電荷が，Reference node には電荷量 $1/2 Q$ の基準信号が移さ

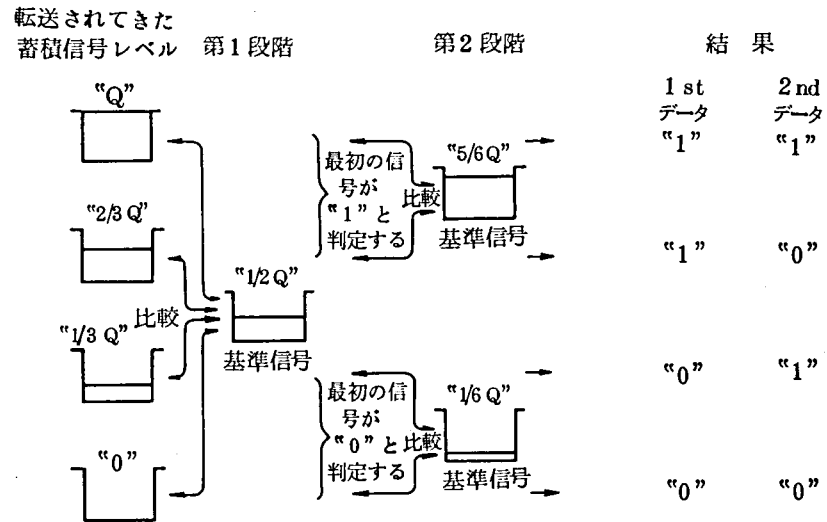


図 3 - 9 検出方法の概念

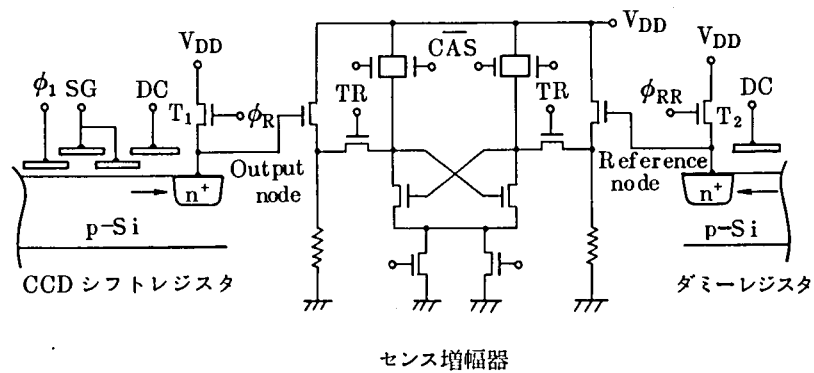
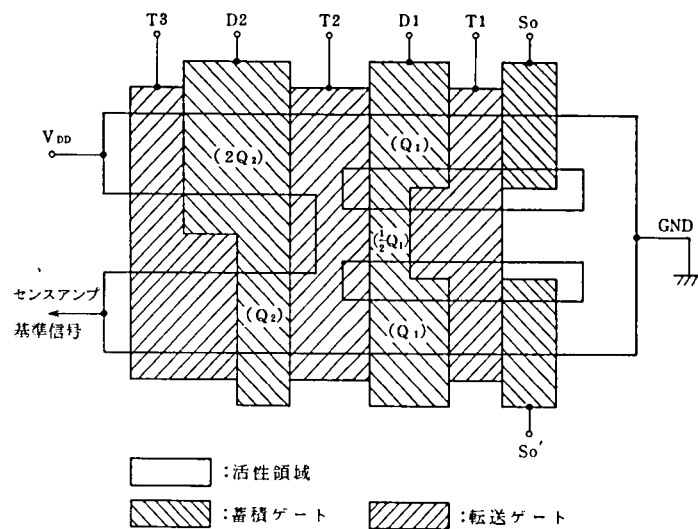


図 3 - 10 検 出 回 路

れる。そしてトランスファトランジスタ (TR) がオンするとセンスアンプが動作し 1st データの検出が行われる。その結果は CCD シフトレジスタの入力に伝えられてデータの再生を行うと同時にダミー CCD にも判定結果が伝えられ、次に与える新しい基準信号を $5/6 Q$ にするか $1/6 Q$ にするかを決定する。次に Reference node だけをリセットして新しい基準信号 $5/6 Q$ または $1/6 Q$ と信号電荷を再び比較して、2nd データの判定を行う。

基準信号を発生するダミー CCD の構造と動作の概要を図 3 - 11 に示す。まず基準信号 $1/2 Q$ を得るには、ゲート信号 S_0 と T_1 を "H" にすると、蓄積ゲート D1 の下には $3/2 Q_1$ の電荷が蓄積される。次にこの電荷を蓄積ゲート D2 の下に転送すると、D2 の上、下の面積は 2 対 1 となっているため、 $Q_2 = 1/3 \times 3/2 Q_1 = 1/2 Q_1$ となり、転送ゲート T3 によりセンスアンプの基準信号として $1/2 Q_1$ が得られる。第 1 段階の判定結果 (最初の信号) が "1" か "0" か



ダミー CCD の構造

ダミー CCD による基準電圧発生

最初の 信号	S_0	S_0'	D_1 に蓄積 される電荷	D_2 により $1/3$ 倍 された電荷 Q_2
/	H	L	$\frac{3}{2} Q_1$	$\frac{1}{2} Q_1$
0	L	L	$\frac{1}{2} Q_1$	$\frac{1}{6} Q_1$
1	H	H	$\frac{5}{2} Q_1$	$\frac{5}{6} Q_1$

図 3-11 ダミー CCD

によって S_0 , S_0' を制御することにより, 図 3-11 の下の表に示すように第 2 段階の基準信号 $\frac{1}{6} Q_1$, $\frac{5}{6} Q_1$ が得られる。

3.3.4 128K ビットメモリへの応用

(a) テストデバイス

以上のような M L S 構造の動作を確認するために, テストデバイスを作製した。テストデバイスは p-型 (100), $20 \Omega \text{ cm}$ の基板の上に n-チャネル 2 層ポリシリコンゲートプロセスによって作製された。チップ写真を図 3-12 に示す。

64 ステージ (1 ステージは 4 電極からなる) の CCD シフトレジスタに対して先に述

べた方法と構造により, “0, 0”, “0, 1”, “1, 0”, “1, 1”, “0, 0” のデータを
 入力した場合の出力をアナログバッファ回路を通して観察したのが図 3-13 である。

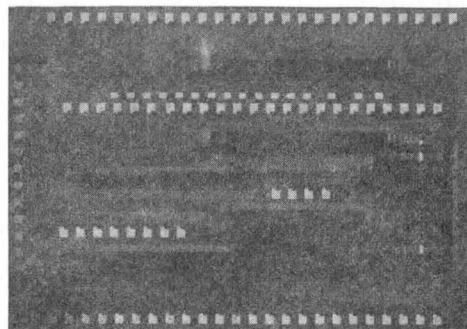
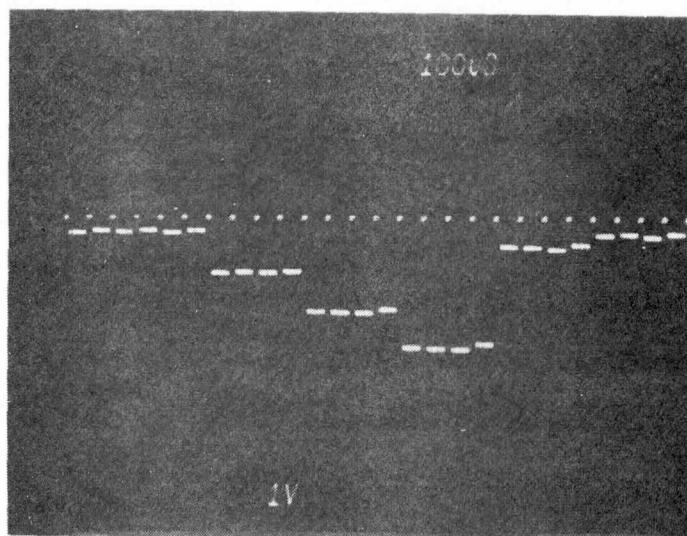


図 3-12 MLS テストデバイスのチップ写真



H: 100 μ s/div, V: 相対値

-----“0,0”|“0,1”|“1,0”|“1,1”|“0,0”-----

図 3-13 CCD 出力電圧波形

この出力信号を電荷量に換算し, 設計値から求められる入力信号電荷量と比較したのが表
 3-1 である。それぞれのデータの組み合わせに対して計算通りに入力ゲートが動作してい
 ることがわかる。

同様に “0, 0”, “0, 1”, “1, 0”, “1, 1”, “0, 0” のデータの入力に対して,
 先に述べたダミーレジスタを含む検出回路によってデジタル的に出力を観察したのが図

3-14 である。出力デジタル信号は入力デジタル信号によく対応し、検出回路及び
ダミーレジスタが正常に動作していることを示す。

表 3-1 蓄積電荷量

Combination of the first and second data	Experiment		Calculation	
	signal amplitude on the output node [V]	stored charge level in the unit of full charge	stored charge level [pC]	stored charge level in the unit of full charge
"1, 1"	5.2	1.00	0.41	1.00
"1, 0"	3.4	0.65	0.28	0.67
"0, 1"	2.0	0.38	0.15	0.38
"0, 0"	0.25	0.05	0.02	0.05

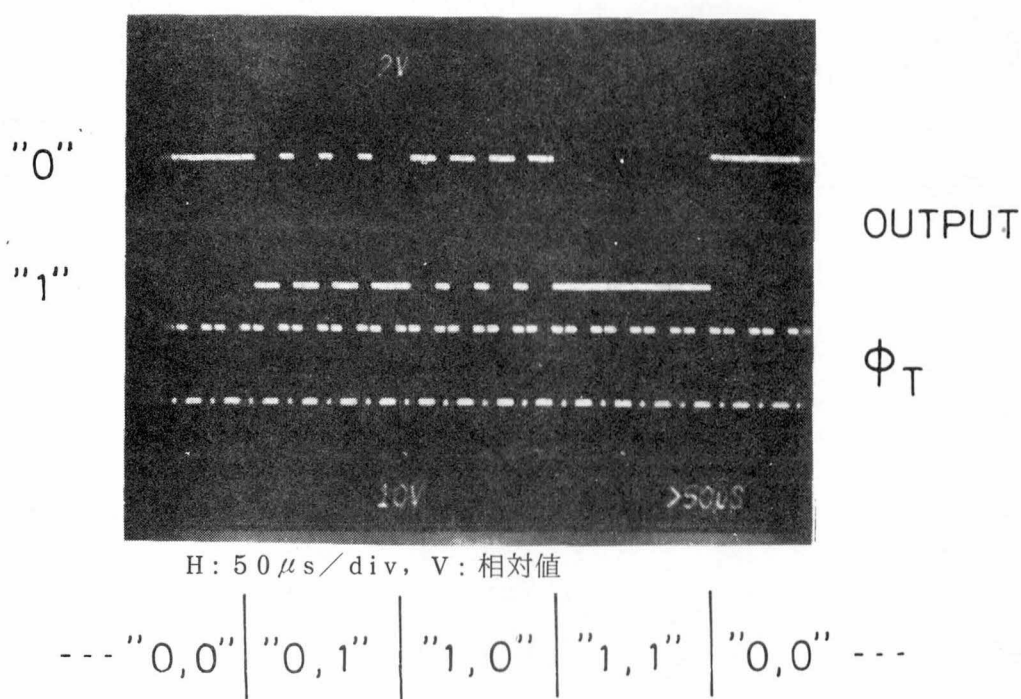
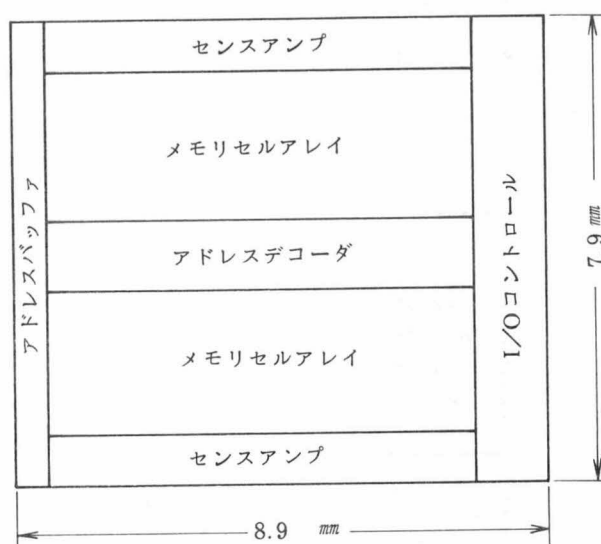
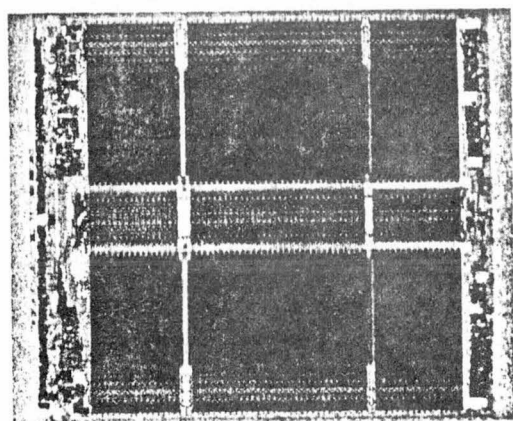


図 3-14 CCD出力データパターンとクロック ϕ_T

(b) 128K ビットメモリの設計

以上のテストデバイスの結果に基づいて128K ビットCCDメモリの設計を行った。図
3-15 はそのチップ図である。表 3-2 に諸特性をまとめて示す。



(a) チップパターン図

(b) チップ構成図

図 3-15 128KビットCCDメモリのチップ図

表 3-2 MLS方式128KビットCCDメモリの特性

特 性 項 目	特 性
プロセス	nチャネルMOS ダブルポリシリコン 表面チャネル形
メモリ構成	128K語×1ビット (512ビット×256)
電 源	$V_{DD} = 12V$ $V_{BB} = -5V$ $V_{SS} = 0V$
チップサイズ	$7.9 \times 8.9 \text{ mm}^2$
パッケージ	24ピンDIP
アクセスタイム	平均 128 μs
データレート	2 Mb / s
消費電力	390 mW

図 3 - 16 はメモリチップのブロック図を示す。チップは 512 ビットを 1 ブロックとして 256 ブロックから構成され、アドレス入力 $A_0 \sim A_7$ (TTL コンパチブル) により任意の 1 ブロックを選択できる。1 ブロックは 64 ステージの CCD シフトレジスタ 4 列からなり、1 ステージ当り 2 ビット蓄えるので、 $2 \text{ ビット} \times 64 \text{ ステージ} \times 4 \text{ 列} = 512 \text{ ビット}$ となる。入出力は 128k ワード \times 1 ビット構成である。

電荷の転送は 4 相の転送クロック $\phi_1 \sim \phi_4$ (V_{DD} レベル) により行われ、I/O 制御は Column Address Strobe (CAS, V_{DD} レベル), Chip Select (CS, TTL コンパチブル) および Read or Write (R/W, TTL コンパチブル) により行われる。必要な電源は V_{DD} (+12V), V_{BB} (-5V), V_{CC} (+5V) および V_{SS} (0V) である。データ入力 (Din) およびデータ出力 (Dout) は TTL コンパチブルで、出力はトライステートである。動作周波数は 30 ~ 250 kHz であり、平均ラテンシータイムは 128 μ s (250 kHz) である。

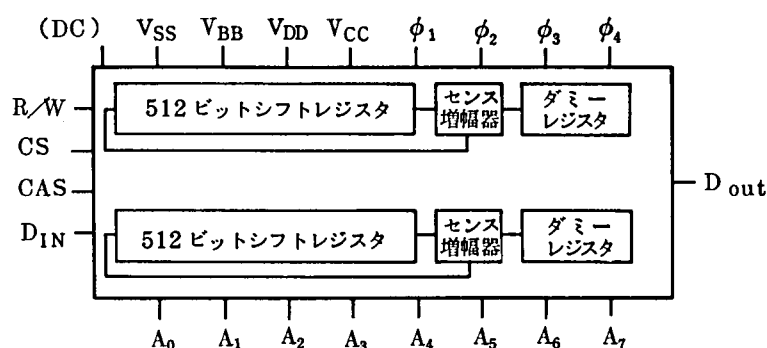


図 3 - 16 128K ビット CCD メモリのブロック図

チップサイズは $7.9 \times 8.9 \text{ mm}$ であり、そのうちメモリは約 50 % を占める。チップサイズが大きくなった原因は、6 μ m 系のパターン設計基準が用いられたこと、Multi level を検出するのにかなり複雑な検出回路となったこと、検出回路当りのステージ数が 64 程度であったこと、などである。

チップ構成を図 3 - 15 (b) に、また各構成要素の面積および全チップ面積に占める比率を表 3 - 3 に示す。比較のため、同じ設計基準で設計された 16 K ビットダイナミック RAM のチップ構成を図 3 - 16 に、またその各構成要素の面積および全チップ面積に占める比率を表 3 - 4 に示す。表 3 - 3 と表 3 - 4 の比較により M L S 方式 C C D メモリでは D-RAM に比べセンスアンプ面積が非常に大きくなることがわかる。しかし、2 ビットの M L S 方式としたため、1 ビット当りのメモリセル面積は約 2 分の 1 となり、また 1 ビット当りのチップ面積は約 2.6 分の 1 が得られた。

上記デバイスでは、転送効率を99.95%程度として1個の検出回路当りのステージ数を64とした。これ以上のステージ数とすれば99.95%程度の転送効率に対してはそのシフトレジスタの転送後、4種の電荷充填状態間の区別がつかなくなる。しかし、転送効率がさらに良く、たとえば99.99%以上となればこのステージ数を128~256にとり得るのでメモリ部分の比率を大きくとることができる。以上のように、MLS方式によるCCDメモリの構成は転送効率に大きく依存し、転送効率さえよければ自由度が広がり、効率の良いシフトレジスタの配置が可能になる。清浄化プロセスがさらに進むと考えられる将来、MLS方式は、CCDメモリ大容量化の過程で大きな役割を演じよう。

表3-3 128KビットCCDメモリのチップ面積

(6 μ m系)

	面積 (mm^2)	比率 (%)
メモリセルアレイ	32.9	46.8
センスアンプ	13.6	19.3
アドレスデコーダ	9.9	14.1
I/O, コントロール	8.7	12.4
アドレスバッファ	5.2	7.4
チップ全体	70.3	100.0
ビット当りセル面積	251 μm^2	
ビット当りチップ面積	536 μm^2	

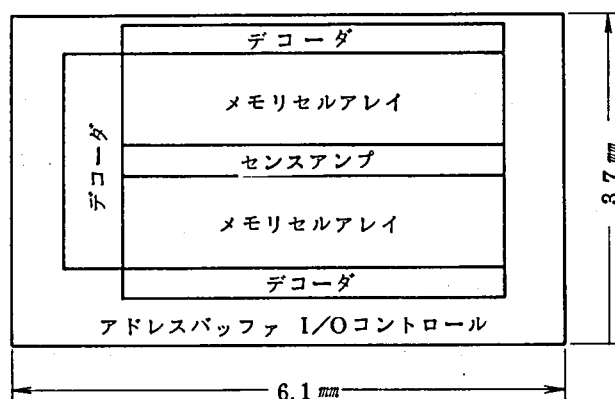


図3-16 16KビットダイナミックRAMのチップ構成図

表 3-4 16K ビット D-RAM のチップ面積

(6 μm 系)

	面 積 (μm^2)	比 率 (%)
メモリセルアレイ	8.42	37.2
センスアンプ	1.44	6.4
アドレスデコーダ	4.37	19.4
I/O, コントロール他	8.34	37.0
チップ全体	22.57	100.0
ビット当りセル面積	514 μm^2	
ビット当りチップ面積	1378 μm^2	

3.4 E/B方式による電荷結合形記憶装置

この節ではE/B方式によるCCDメモリに対して新しい転送方法，転送クロック発生回路，入力電荷の分離方法，電荷のマルチプレックス法を提案し，これらを組合わせた64Kビットメモリへの工学的応用について述べる。

3.4.1 転送方法

E/B方式は先に述べたように， n 個のポテンシャル井戸を設け，その中に1ヶの空のポテンシャル井戸を設け， n 相のクロックにより空のポテンシャル井戸を逆方向に順次移してゆく方式である。そのため，沢山の転送クロックを要すること及び n ヶのクロックが加わって始めてデータが1ビット分だけ移動するためデータの読出し速度が遅くなるという欠点を生じる。これらの欠点を目立たせないで，この方式の特長，すなわち電極当りのデータ量を増そうとする場合，適当なクロックによる駆動を行わねばならない。

本研究では，8相駆動により，4ストレージセルで3ビットを記憶する方式を検討した。この方式による電荷転送の様子を図3-17に示す。1ステージは，ストレージセルが4つ($\phi_1 \sim \phi_4$)，転送ゲートが4つ($\phi_{12} \sim \phi_{41}$)の8電極から成っており，3ビットを記憶している。図では， ϕ_2 の下に蓄積されていた電荷が ϕ_3 の下へ転送される様子を示しており，空のウェルが逆に ϕ_3 から ϕ_2 の下へ転送されている。

この転送方式を用いた為に，転送可能な電荷量は十分確保され，後で述べるクロックパルスのノイズ，電源変動に対するマージンを考慮した信号電荷量として，1ビット当りのセルサイズに対して約 $150 \mu\text{m}^2$ 0.16 pCという値が得られた。

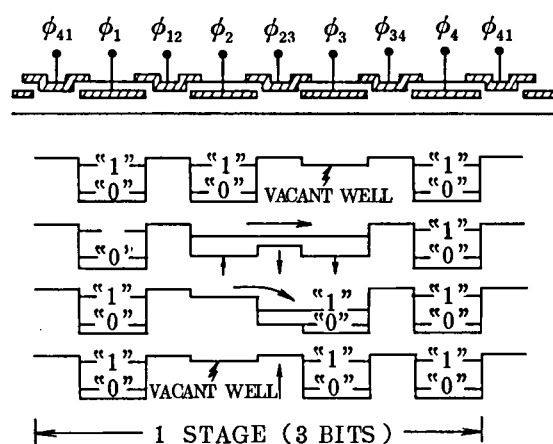


図3-17 3ビット/4セル転送方式

3.4.2 転送クロックパルス

CCDメモリにおいて、転送クロックを外部から印加するのは転送ゲートの集合である数100pFにも及ぶ大きな容量をクロックで駆動しなければならないことを意味する^{(4),(5)}。そのためこのようなメモリの使用にあたっては、大きなドライブ能力を有するトランジスタ回路が必要となり、結果として実装上使いにくいことになる。それ故、転送クロックをチップ上で発生させる方法が望まれる。本節では、E/B方式に最適な転送クロックをチップ上で発生させる方法について検討する。

クロックドライバをオンチップで構成する場合、できるだけ低消費電力にすることと、転送電極が2層ポリシリコンの重ね合わせ構造であることからくるクロックパルスの遅延と容量カップリングノイズを考慮することが必要である。クロック発生回路の構成を図3-18に示す。回路は次の3つの部分から成っている。

- ① 外部から入力されるTTL信号をMOSレベルに変換するバッファ回路。
- ② 入力信号の1/2及び1/4の周波数のパルスを発生する為の分周回路。
- ③ 分周されたパルスを組み合わせて8相の転送クロックを発生するドライブ回路。

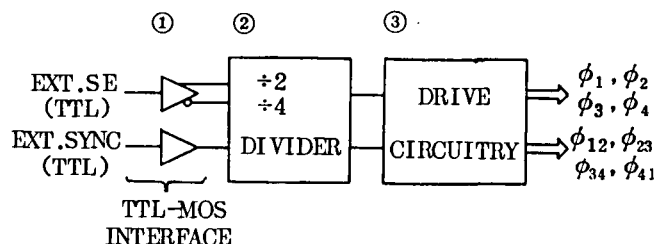


図3-18 転送クロック発生回路の構成

図3-17に示した3ビット/4ストレージセル転送方式を行なう為には、8相の転送クロックを必要とする。すなわち、ストレージセルに印加するクロックパルス $\phi_1, \phi_2, \phi_3, \phi_4$ の4相と、それらの間に位置する転送ゲートに印加するクロックパルス $\phi_{12}, \phi_{23}, \phi_{34}, \phi_{41}$ の4相の計8相が必要となる。

図3-18に示した転送クロック発生回路の動作特性についての検討は、実際に試作した64Kメモリ上での解析を通じて行うのがより厳密であるので、3.4.5(64ページ)で行う。

3.4.3 マルチプレックス動作

(a) 入力データのマルチプレックス

さて、以上のような転送方法と転送クロックでメモリを構成する場合、単位となる CCD シフトレジスタは現状の転送効率 99.95% 程度を考慮すると、64 段程度が妥当な規模となる。すなわち、64 段毎にセンスアンプを設けて転送されてきた電荷量を再生して再び 64 段シフトレジスタの入力にもどしてやる操作が必要となる。しかしながら、64 段のシフトレジスタ毎にデータ入力回路及びセンスアンプを設けたのでは、メモリ部分に対するデータ入力回路及びセンスアンプ部分の面積比が大きくなり、集積度が低下する。このため、複数のシフトレジスタ当り 1 つのセンスアンプを置くのが効率的であり、そのためには入力電荷の数本のシフトレジスタへのマルチプレックス動作が必要となる。

本節では、E/B 方式による 64 K ビットメモリを対象に 64 段シフトレジスタ 4 本に対するマルチプレックス動作について検討を加える。

E/B 方式による 64 K ビットメモリは 256 ビットのブロック 256 個から構成され、各ブロックはそれぞれ 64 ビットの CCD シフトレジスタ 4 本から構成される。各 CCD シフトレジスタは、入出力マルチプレックスのための入力ステージと出力ステージの待機セルによる 1 ビットと 21 段の転送ステージによる 63 ビット ($3 \text{ ビット} \times 21 = 63 \text{ ビット}$) により、64 ビットが記憶される構造になっている。図 3-19 に 1 つの 256 ビットブロックの構成図を示す。

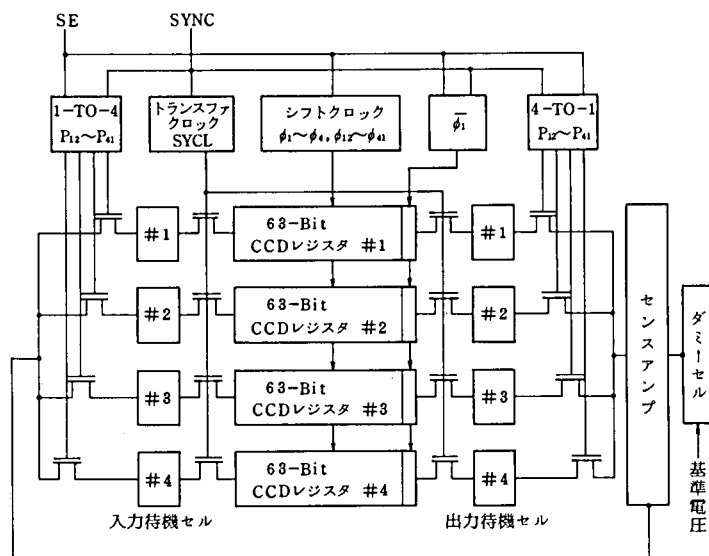


図 3-19 256 ビットブロックの構成図

入力のマルチプレクス化における留意点は、(1)チャネル間のクロストークがないこと、(2)信号電荷量のチャネル依存性がないこと、(3)入力ステージの構造が集積度の低下をまねかないこと、(4)信号電荷量が適切であり、メモリ部の大部分を占める転送部の高集積化の障害とならぬこと、(5)ファットゼロの入力が可能な構造であること、である。

ここで採用した分離入力法と名づける方法は、以上の5つの条件を満たすものである。原理は独立した4相のクロック (P_{12} , P_{23} , P_{34} , P_{41}) で、 V_{DD} が印加されている入力待機セルにデータを取り込み (ダイオードカットオフ法)、分離ゲート (SYCL) のオン、オフによって、待機セルに対して適当な面積比を持つ入力セル (ϕ_2 が印加される) に真の信号電荷を注入するということである。入力ステージのゲート構成図を図3-20に、印加するクロックの波形を図3-21に示し、図3-22には図3-21に示した各時刻のポテンシャルウェルの様子で入力動作を示している。

図に従って説明すると、まず T_1 で入力データを入力部 n^+ 拡散領域にセットする。この時、“1”の場合は GND に近い値に、“0”の場合は一旦 GND に近い値にした後、十分高い電位にする。ファットゼロは“0”の入力動作で、待機セルと入力ゲートの表面ポテンシャルの差の分だけ注入される (入力ゲートにはボロンをイオン注入する)。 T_2 でセットされたデータを待機セルに取り込む、図ではチャネル #3 の場合が示してあるが、図3-21 よりこの時までには他のチャネルにはすでに待機セルにデータが取り込まれている。続いて T_3 , T_4 で分離ゲートをオン、オフして、待機セルと入力セルの面積の比に信号電荷を分離するので、入力セルには適量の真の信号電荷が注入される。

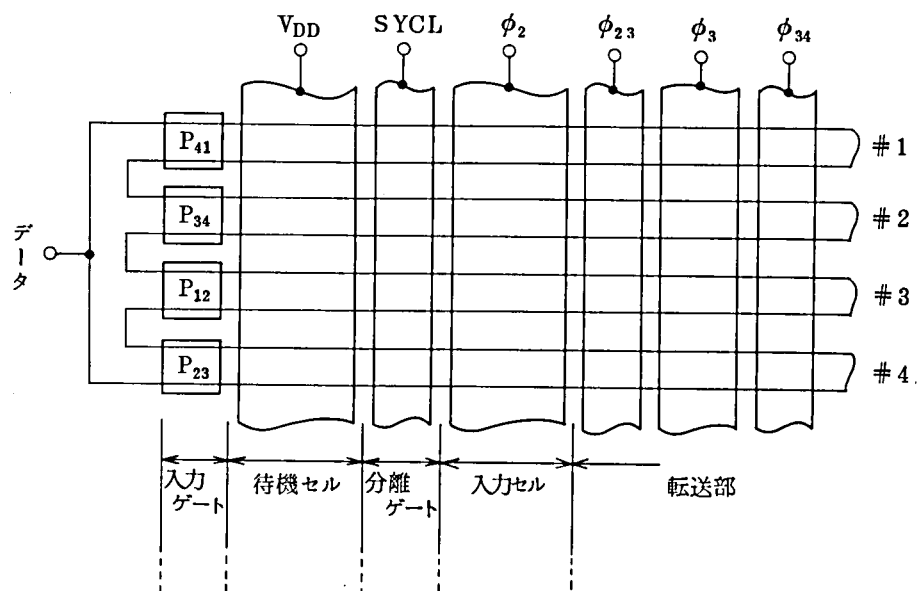


図3-20 入力ステージ

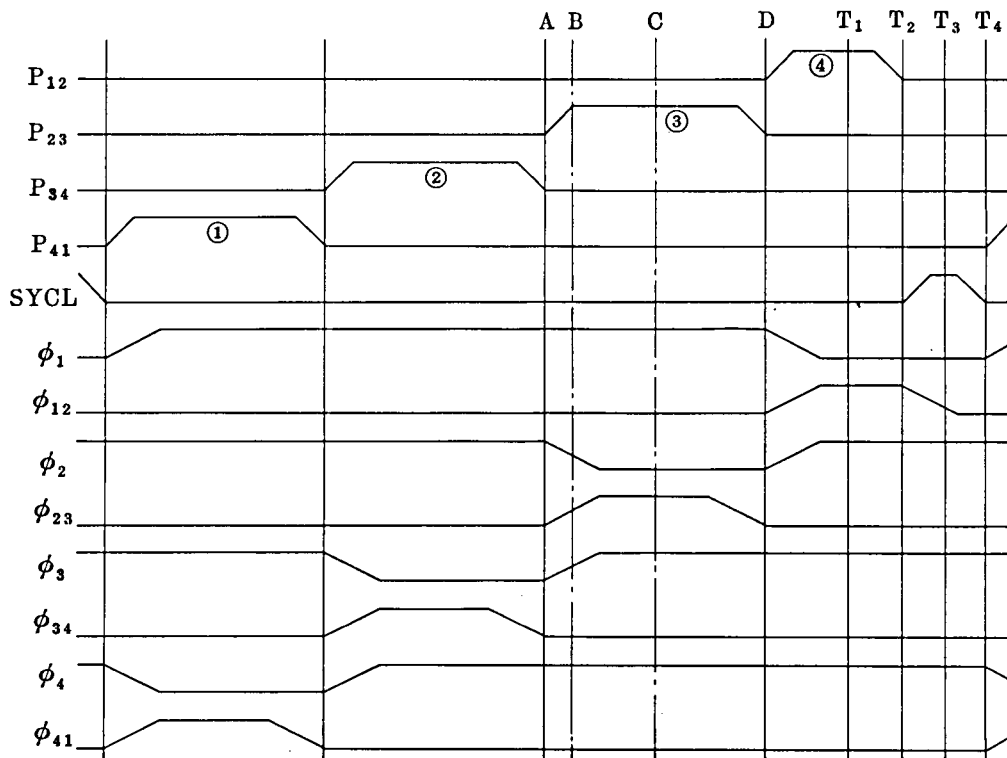


図 3 - 2 1 ク ロ ッ ク 波 形

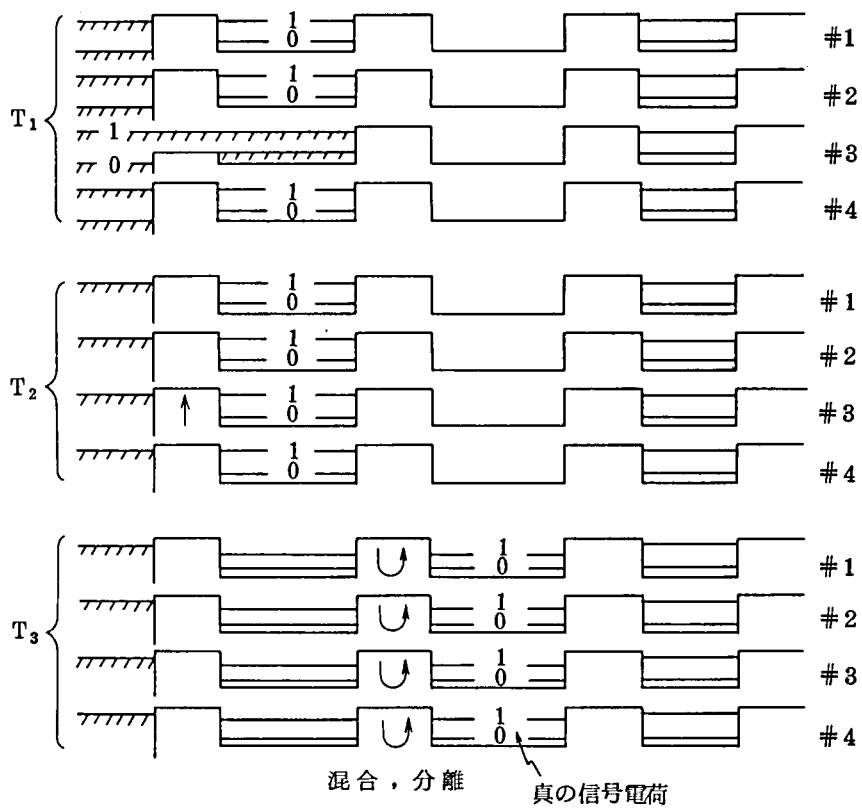


図 3 - 2 2 入 力 動 作

(b) 信号電荷

実際の 64K メモリにおける入力ステージのパターン図を図 3-23 に示す。前節で述べた分離入力法では待機セルに取り込まれた電荷が、分離ゲートのオン・オフ (SYCL クロック) により、待機セルと入力セルの面積比に分割され、入力セルに取り込まれた電荷が信号電荷となる。図 3-23 のパターンにおいて、待機セルに取り込まれる単位面積 (μm^2) 当りの電荷量を Q とすると、各チャネルの信号電荷量は次の式のように表され、各チャネルほぼ等しくなっていることがわかる。

$$\#1, \#4 : S_1 Q \times \frac{S_2}{S_1 + S_2} = 112 Q \times \frac{112}{112 + 112} = 56 Q$$

$$\#2, \#3 : S_1' Q \times \frac{S_2'}{S_1' + S_2'} = 167.5 Q \times \frac{84}{167.5 + 84} = 55.9 Q$$

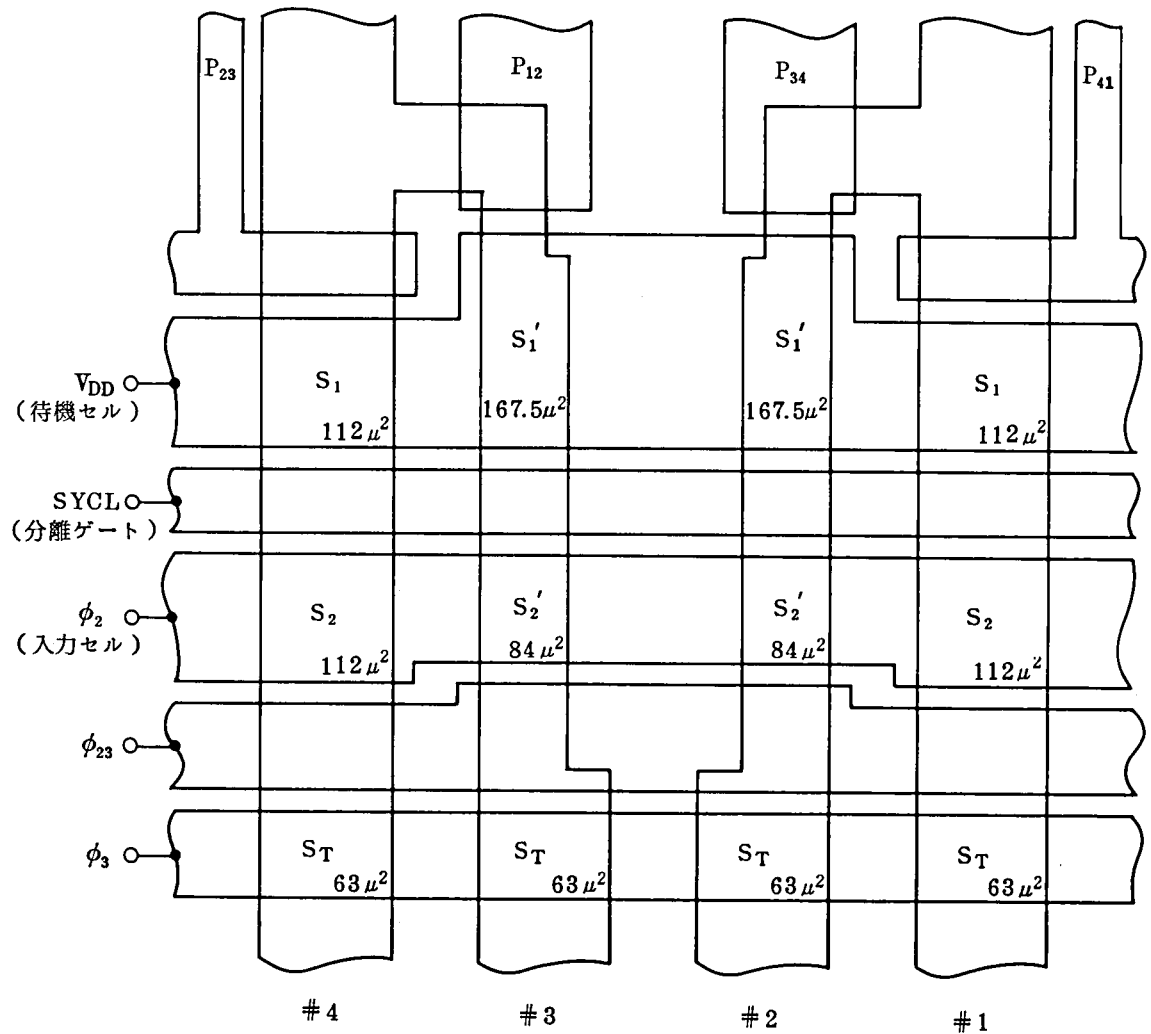


図 3-23 入力ステージのパターンサイズ (単位は μm)

次に“1”および“0”入力時の待機セルの電荷密度 Q_1 および Q_0 を式(3.1)により求める。

データ入力拡散領域(N^+)，入力ゲート(P)，待機セルの断面構造を図3-25(a)に示す。動作電圧は $V_{SS} = 0\text{ V}$ ， $V_{DD} = 12\text{ V}$ ， V_{BB} （基板バイアス） $= -5\text{ V}$ である。入力信号電圧は“1”が 0 V ，“0”が 12 V ，クロック電圧（ゲート電圧）は“H”が 12 V ，“L”が 0 V である。

実際の64KビットCCDメモリと同一プロセスによるテストデバイスの実測データより，第1および第2ポリシリコンのゲート電圧と表面ポテンシャルの関係は図3-24に示す通りとなり，“1”および“0”入力時の表面ポテンシャルは，図3-25(b)，(c)に示す通りとなる。但し，図中の電位は基板（ -5 V ）を 0 V とした値である。また，同テストデバイスの実測値より第1ゲートの単位面積当りの静電容量 C_{ox} フラットバンド電圧 V_{FB} 及び基板のアクセプタ不純物濃度 N_A は下記の通りである。

$$C_{ox} = 3.45 \times 10^{-4} \text{ pF}/\mu\text{m}^2$$

$$V_{FB} = -0.48\text{ V}$$

$$N_A = 5.22 \times 10^{14} \text{ cm}^{-3}$$

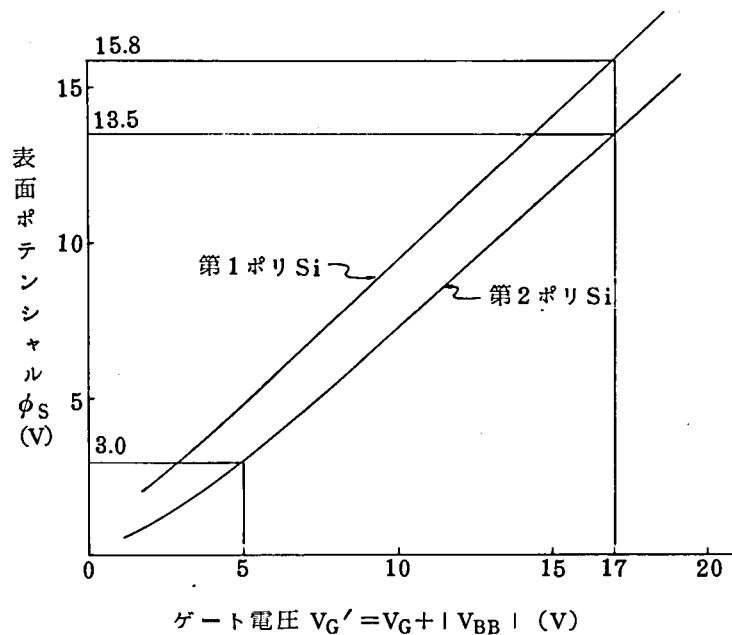
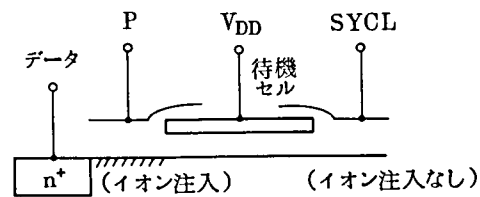
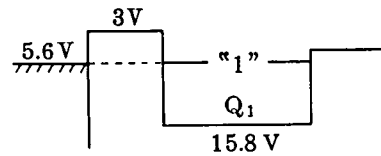


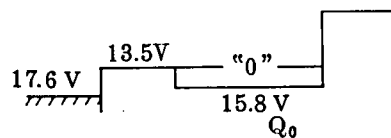
図3-24 表面ポテンシャル



(a) 入力部断面構造



(b) "1" 入力の際のポテンシャル



(c) "0" 入力の際のポテンシャル

図 3 - 25 入力動作時のポテンシャル図

以上の値より式 (3.1) により Q_1 , Q_0 を計算すると表 3 - 2 の値が得られる。

表 3 - 3 転送電荷量

データ	電 荷 量	比
1	$Q_1 = 3.79 \times 10^{-3} \text{ PC}/\mu\text{m}^2$	1
0	$Q_0 = 8.88 \times 10^{-4} \text{ PC}/\mu\text{m}^2$	0.23

従って、信号電荷量は図 3 - 23 上の式より

"1" の時 0.21 p c
 "0" の時 0.05 p c であり、
 ファットゼロは 23% となる。

現状のプロセスレベルでは 1 段毎に 0.1 % 程度の電荷が失なわれるので、64 段では 6.4 % の電荷を失なう。その結果、"1" の信号電荷量は 64 段の転送後、

$$100 - 6.4 = 93.6\%$$

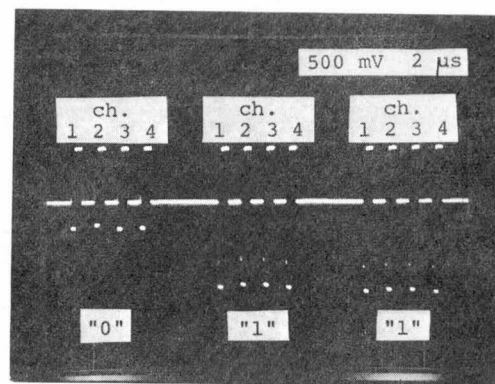
"0" の信号電荷がこれを全て拾ったとすると、

$$23 + 6.4 = 29.4\%$$

となり、転送後の“1”信号と“0”信号の電荷量の差はまだ64.2%もあり、十分な電荷量設定といえる。

ここで提案した入力マルチプレクス回路を64段シフトレジスタ4ヶに対して配置したテストデバイスを作成し、その動作を確認した。

図3-26はその出力をアナログバッファ回路を通して見たものである。“0”電荷，“1”電荷共に4ヶのシフトレジスタに均等に分配されていることが観察される。また，“1”電荷に対して“0”電荷が約23%程度であることも確認され、設計通り入力マルチプレクスが動作していることを示している。



H: 2 μs/div, V: 500 mV/div

図3-26 4-マルチプレクスチャネルの出力電圧

(c) 出力データのマルチプレクス

出力のマルチプレクス化における留意点は、(1)チャネル間のクロストークがないこと、(2)出力ステージの構造が集積度の低下をまねかないこと、(3)蓄積可能な電荷量に余裕があること、(4)出力の動作が完全でスピードが速いこと、である。

ここで採用した方法は、以上の4つの条件を満たすものである。原理は V_{DD} が印加されている出力待機セルに信号電荷を転送した後、独立した4相のクロック(P_{12} , P_{23} , P_{34} , P_{41})をオンにすることで、センスアンプのセンスノード側に信号電荷を出力することである。出力ステージのゲート構成図を図3-28に、印加するクロックの波形を図3-27に示し、図3-29は図3-27に示した各時刻のポテンシャルウェルの状態で出力動作を示している。

図 3 - 27 に従って説明すると， T_2 で信号電荷は 4 チャネル共に出力待機セルに移される。次に T_3 で， P_{41} がオンして出力ゲートの 1 つが開き，出力ノードに出力される。つづいて P_{34} ， P_{23} ， P_{12} がオンするたびに各チャネルからセンスアンプの出力ノードに信号電荷が出力されて，4 チャネルのマルチプレクス動作が完了するのである。

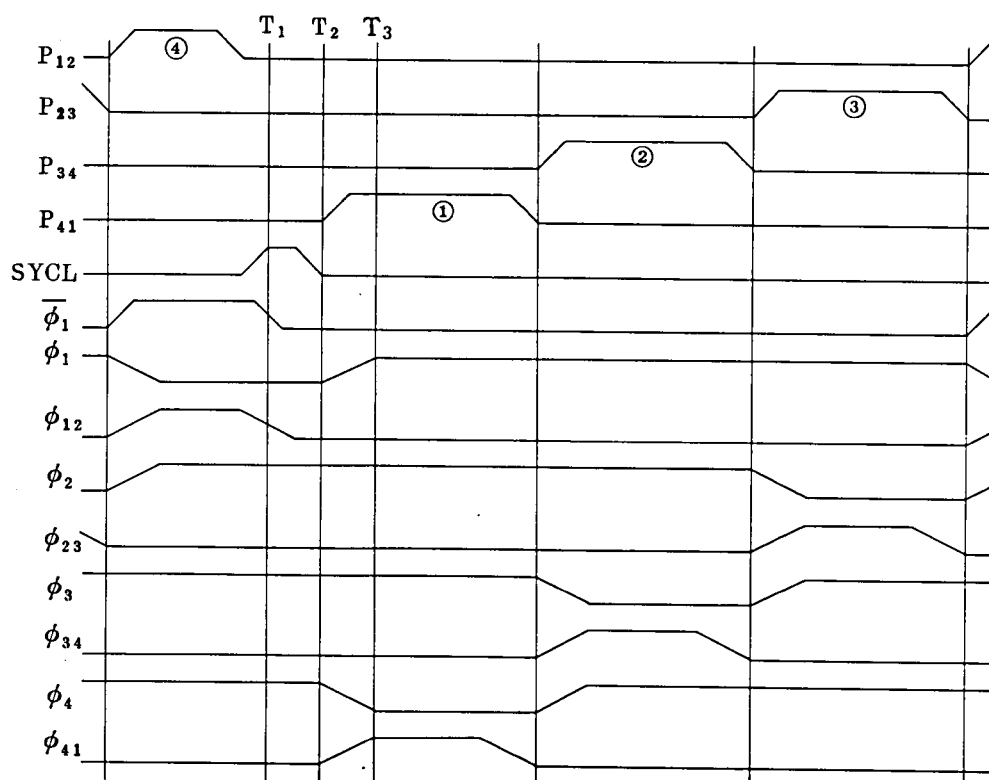


図 3 - 27 クロック波形

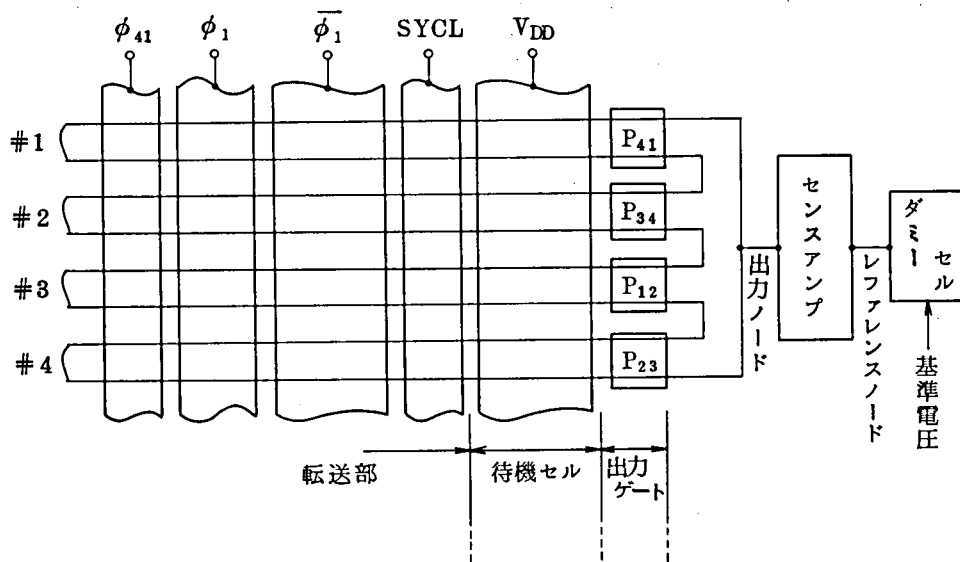


図 3-28 出力ステージ

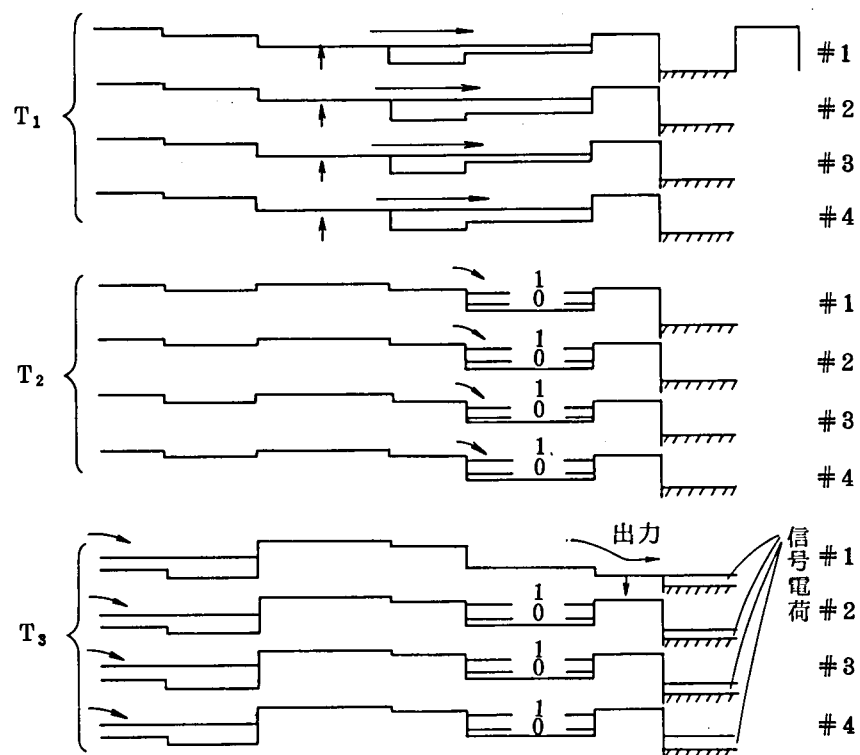


図 3-29 出力動作

3.4.4 センスアンプと基準電位の発生

64ビットのCCDシフトレジスタの入出力部を共通にした256ビットのブロックの構成図を図3-30に示す。出力部には、フリップフロップタイプのセンスアンプが接続され、レファレンスノード側には、ダミーセルがあり、オンチップで発生される基準電位(V_{ref})が与えられている。

センスアンプの動作を簡単に説明する。まずRSNクロックによりCCDの出力ノードが V_{DD} にプリチャージされると同時に、センスアンプの入力ノードは $V_{EQ}(=V_{DD})$ にプリチャージされる。CCDの信号電荷が出力ゲートクロック P_{ij} により出力された後、 ϕ_C クロックによりセンスアンプの両方の入力ノードにそれぞれ信号電圧と基準電圧 V_{ref} が入力される。クロック S_1 が“H”になり、 S_2 がOVに落され、センスアンプが活性化されて信号電圧はほぼもとの“1”、“0”のレベルまで増幅され保持される。外部へ信号を読み出す場合は、アドレスデコーダの出力 $Y_0 \sim 255$ が“H”となり I/O 、 $\overline{I/O}$ ラインへ信号が出力される。またCCDへの再書き込みはINが“H”になり、信号電圧がCCDの入力ノードにもどされる。同図左端の入力回路のFZ、つづいて \overline{IN} がINに先立って“H”になることにより、図3-25に示した通り入力待機セルにはファットゼロが入力され、入力ノードは V_{DD} にプリチャージされる。外部からの信号の書き込みはアドレス選択信号 $Y_0 \sim 255$ により選択されたCCDシフトレジスタへINゲートを通して行われる。

基準電位は図3-31に示すように、256ビットのブロックからなるダミーCCDの出力電荷をもとにして作られている。ダミーCCDには、“1”と“0”の固定入力があり、出力ステージ(ϕ_1)で正確に $1/2$ に分割された基準電荷量を P_{34} および P_{12} のタイミングにメモリ部と同一構造のセンスアンプに出力している。この出力信号は図3-30の記憶ブロックの場合と同様にセンスアンプで弁別、レベル再生される。この結果が“L”の場合は、図3-31左下のCCD($P_{34}, \phi_1, \phi_{12}$)により静電容量 C_{DM} へ蓄積ゲート ϕ_1 を満たす電荷が転送される。その結果 C_{DM} の電圧 V_R はその分だけ下がり、従ってソースフォロワーを経た基準電圧 V_{ref} も下げられる。弁別結果が“H”の場合は上記CCDによる電荷の転送は行われず、その上に示すCCD($\phi_{41}, \phi_1, \phi_{12}$)により C_{DM} の電荷が蓄積ゲート ϕ_1 を V_R まで(従ってほぼ $1/2$)満たす量だけ運び去され、 V_R はその分だけ上昇し、 V_{ref} も上昇する。以上の動作によりダミーCCDの P_{34} における信号が“H”、“L”はほぼ等確率に弁別されるように V_{ref} の値が設定される。同図右下の回路は V_{ref} を増幅するソースフォロワーの直流電流をカットし、消費電力を

抑えるための回路で、 V_{ref} が必要な期間だけソースフォロワーの負荷抵抗をONとしている。
この方法によると、プロセスパラメータの変動に対しても正しい基準電位が得られるのみならず、
電源電圧の変動に対しても大きなメリットがある。

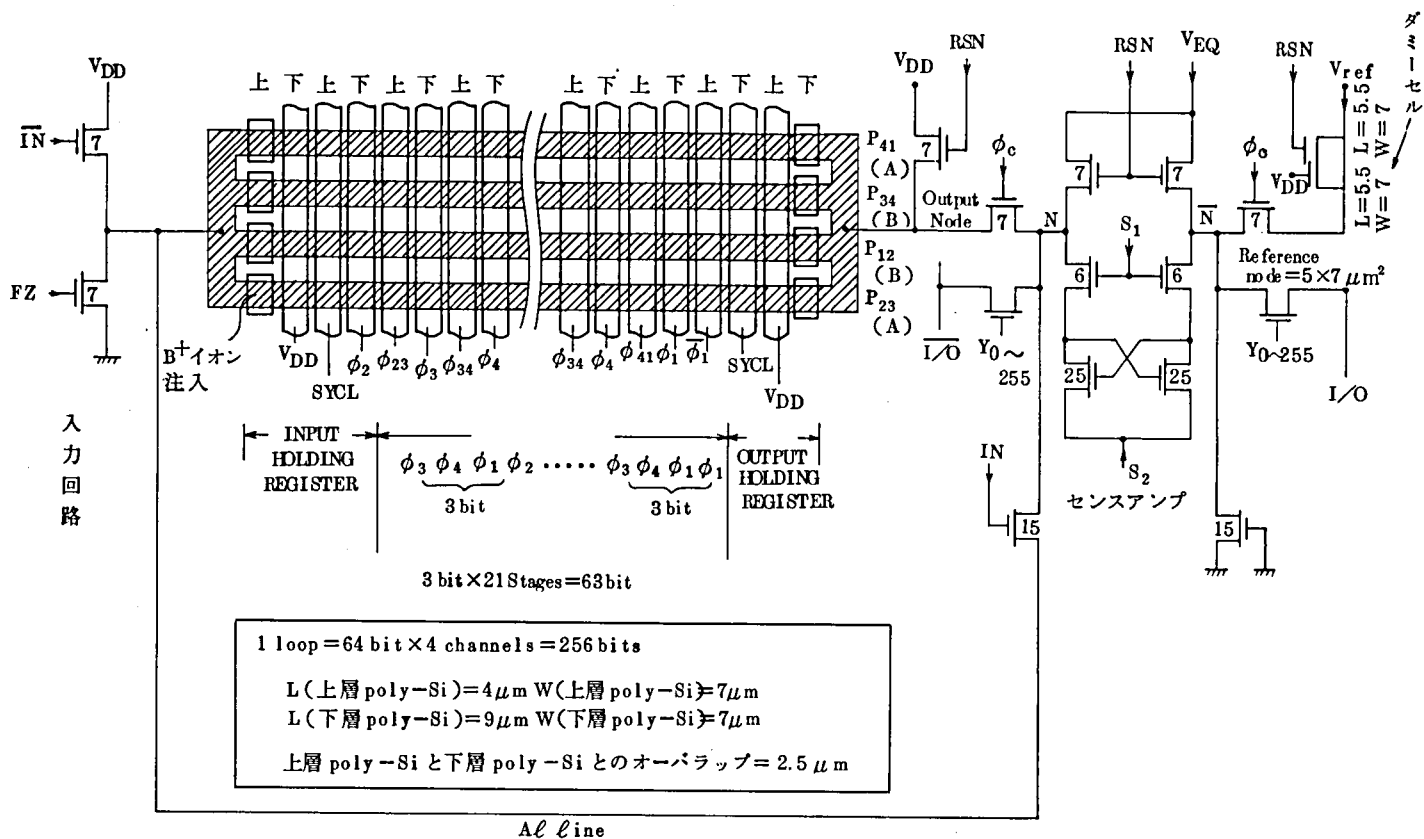


図 3-30 256ビットブロック構成図

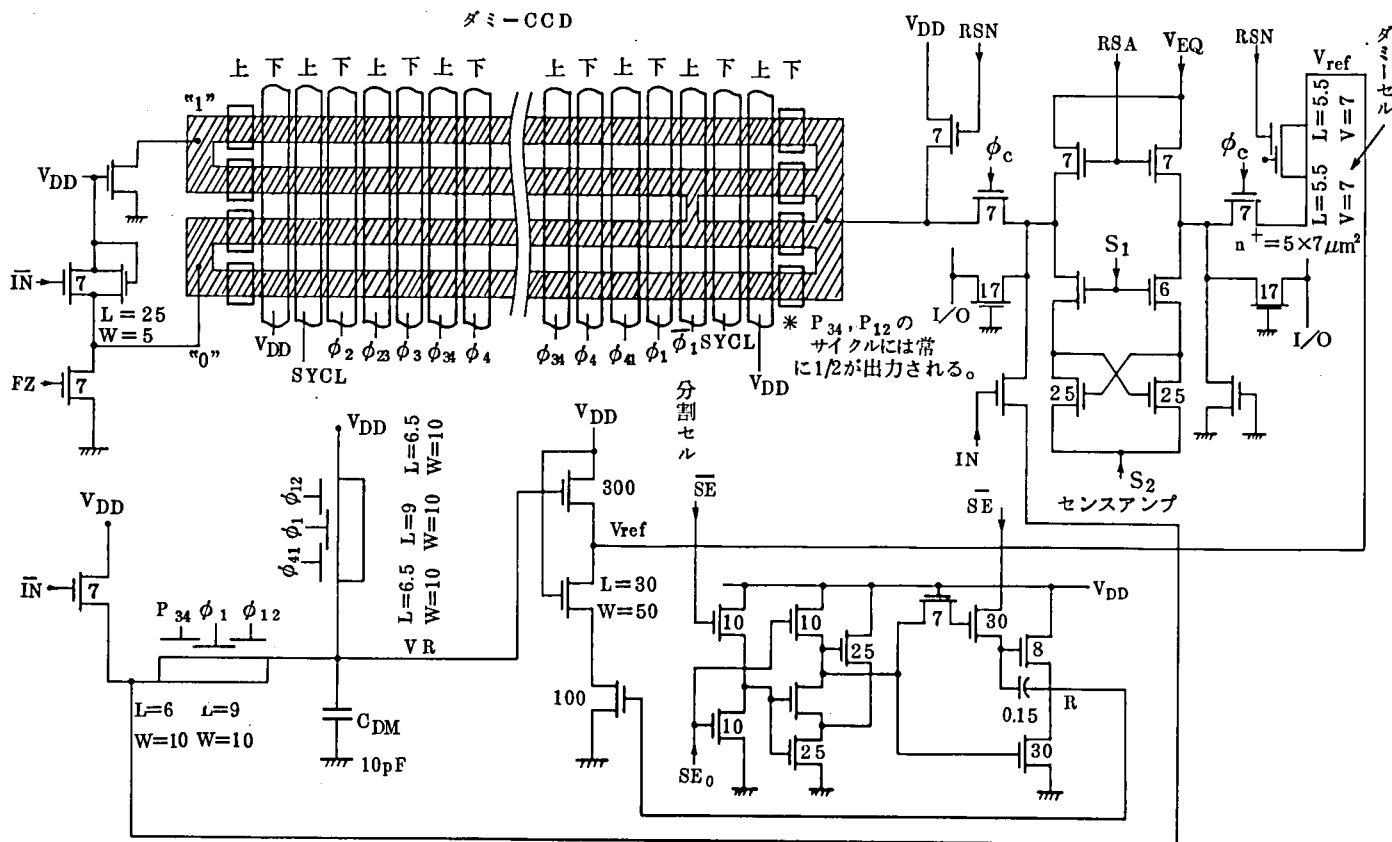


図 3-31 ダミー-CCDと V_{ref} 発生回路

3.4.5 64 Kビットメモリへの応用

(a) 64 Kビットメモリの基本構成

前節までの検討結果にもとづいて、64 Kビットメモリを構成する場合のブロック図を図3-32に示す。

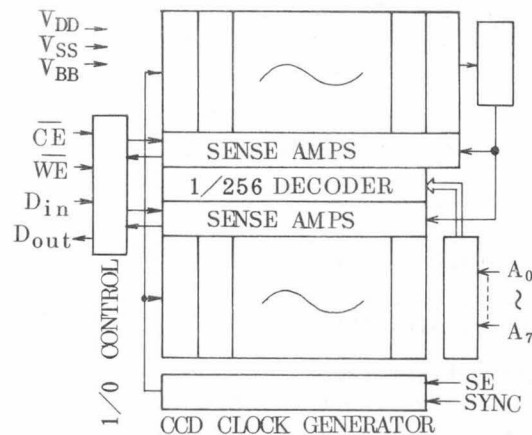


図3-32 ブロック図

電源は、 V_{DD} (12V)、 V_{BB} (-5V) の2つであり、256個のブロックを選択するために用いるアドレス信号 $A_0 \sim A_7$ 、センスアンプを動作させると共にCCDクロックを発生させる為の信号SE (センスイネーブル)、SYNC (シンクロナス)、データのI/Oをコントロールする \overline{CE} 、 \overline{WE} 、 D_{IN} 、 D_{OUT} 、そして、グラウンドの端子を必要としている。クロックドライバを内蔵している為に、入力は全て低入力容量のTTLコンパチブルである。デバイスは標準的なnチャネルダブルポリシリコンゲートプロセスによって作製される。図3-33にチップの顕微鏡写真を示す。チップサイズは $7.1\text{ mm} \times 4.7\text{ mm}$ で、メモリ部はチップの40%を占めており、標準の18ピンDIPにマウントされる。

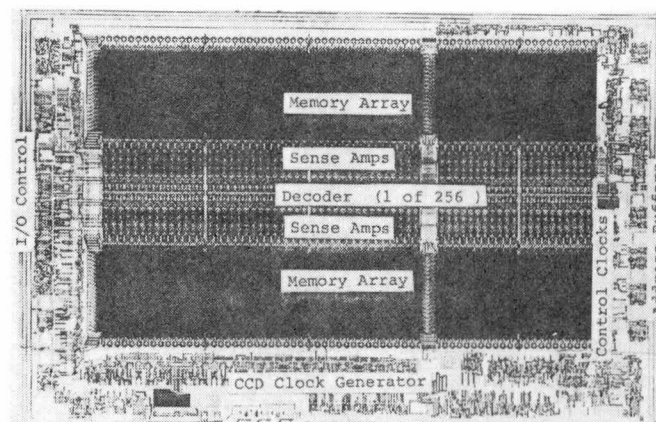


図3-33 チップの顕微鏡写真

(b) 内部発生転送クロックの特性

① クロックパルス波形

本研究で用いた E/B 方式ではクロックパルスとして、図 3-17 に示すようにストレージセルに印加する $\phi_1, \phi_2, \phi_3, \phi_4$ 及び転送ゲートに印加する $\phi_{12}, \phi_{23}, \phi_{34}, \phi_{41}$ の計 8 相が必要である。図 3-18 に示す回路を 64K ビットメモリ上に設けている。

2 相の TTL 入力信号波形 SE, SYNC と共に、オンチップで発生された 8 相のクロック波形写真を図 3-34 に示す。外部 SE の 1/4 の周波数の転送クロックが発生されており、各ストレージセル間の電荷転送のタイミングにおいては、通常の 4 相駆動と同じであることがわかる。

② 消費電力

クロックドライバの消費電力は、図 3-18 の ① バッファ回路、② 分周回路、③ ドライバ回路での消費電力に分かれる。① の電力は、TTL-MOS のインターフェイス回路の消費電力であるので、 I_{DD} は直流的に流れ、周波数によらず、数 mA である。従って、クロックドライバの低消費電力化は、②、③ の回路のダイナミック化にかかっている。ここでは、新たに案出したダイナミック分周回路を採用して②、③ のダイナミック化を実現した。そのために、クロックドライバの消費電力においては、転送電極の容量負荷を充電する為に流れる充電電流が主な成分となると考えられる。この充電電流は、取り去れないものである所以、転送回数が少なく、従って充電すべき転送電極の少ない E/B 方式の場合は大変有利である。

ストレージセル ($\phi_1 \sim \phi_4$) は第 1 層ポ

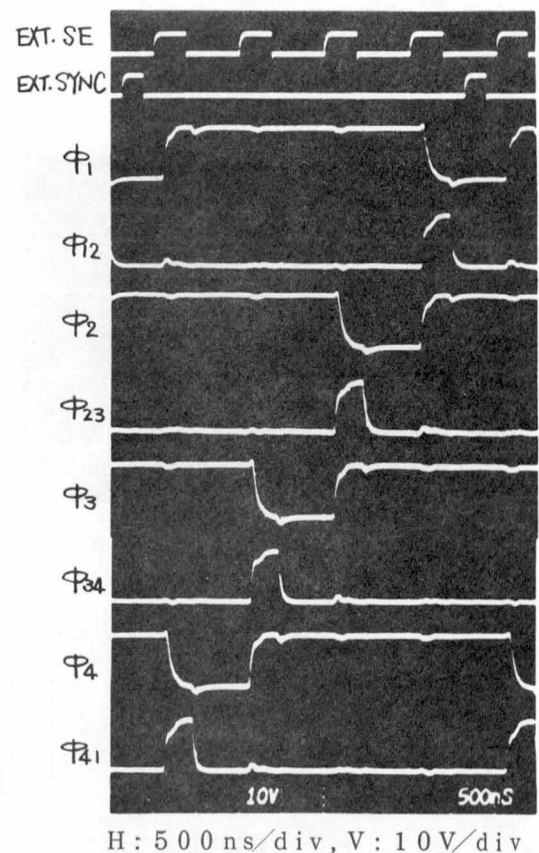


図 3-34 8 相転送クロック波形

リシリコンで形成されており、基板に対する負荷容量は1相当り420 pFになる。転送ゲート ($\phi_{12} \sim \phi_{41}$) は第2層ポリシリコンで形成されており、負荷容量は1相当り100 pFである。

また、転送電極は重ね合わせ構造をしているので、転送電極間に容量結合がある。この容量は8相共に1相当り隣の電極に対して90 pFずつである。従って、ほとんど同時に立ち上がるクロック間の結合容量は、充電する必要がないことを考慮して、1周期に充電する必要のある負荷容量は8相の合計で2800 pFになる。容量負荷の充電に要する電力は、周波数に比例し、 $P_c = 1/2 \cdot C V^2 f$ で求まり、今SEとして1 MHzを考え、と転送クロックの周波数は250 KHz になり、電源電圧は12 Vであるので $P_c = 1/2 \times (2800 \times 10^{-12}) \times 12^2 \times (250 \times 10^3) = 0.05 \text{ W (50 mW)}$ となる。

実際のメモリチップでの内蔵クロックドライバの消費電力を求める為に、クロック発生回路へ V_{DD} を供給しているアルミ配線をレーザカッターで切断し、 I_{DD} の大きさを比較した。クロックドライバが動作している場合と、停止している場合の I_{DD} 波形を図3-35 (a), (b) に示す。

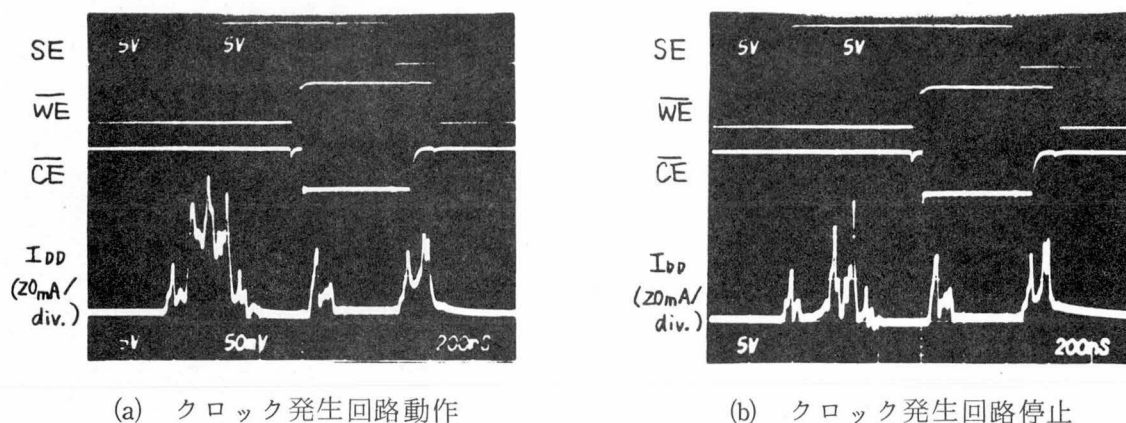


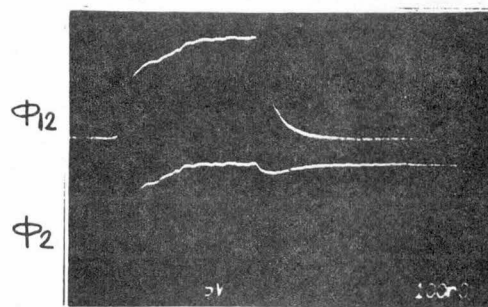
図3-35 電源電流波形

I_{DD} 波形の最初のピークがクロック電流に当り、(b)で大幅に減少している。残りはセンス回路動作の成分である。2番目のピークは書込動作、3番目のピークは周辺回路のプリチャージの成分である。

SEの周波数が1 MHzにおけるリサーキュレートモードの時の平均電流は、クロックドライバが動作している場合は13.5 mA、一方動作していない場合は9.2 mAであった。

- 67 -

クロックドライバ回路に RC 負荷を接続して行なった計算機シミュレーションの結果を図 3-37 に示す。回路は ϕ_2 発生回路に相当しており、容量結合するクロックは ϕ_{12} である。シミュレーション波形に相当する ϕ_2 と ϕ_{12} のチップ上の実際の波形を図 3-38 に示す。カップリングノイズは 2V までは容認するという設計方針で設計しており、クロックパルスの遅延とカップリングノイズは許容される範囲になっている。



H: 100 ns/div, V: 5 V/div

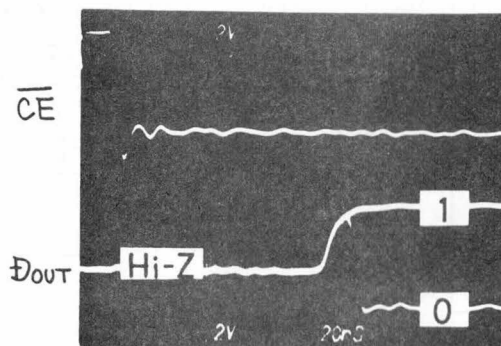
図 3-38 内部クロックパルス波形

(c) メモリチップの特性

① 周波数特性

メモリチップの動作周波数は、電源 $V_{DD} = 12V \pm 10\%$, $V_{BB} = -5V \pm 10\%$ の条件で、 20°C の時 $f_{SE} = 0.5\text{KHz} \sim 1\text{MHz}$, 75°C の時 $f_{SE} = 50\text{KHz} \sim 1\text{MHz}$ である。これはリフレッシュタイム $t_{ref}(20^\circ\text{C}) = 500\text{mS}$, $t_{ref}(75^\circ\text{C}) = 5\text{mS}$ に対応する。

図 3-39 にメモリチップからの出力波形を示す。 $V_{DD} = 12V$, $V_{BB} = -5V$, $T = 20^\circ\text{C}$ の時、 \overline{CE} からのアクセスタイムは、 $t_{acc}(\overline{CE}) = 125\text{ns}$ で、 $V_{DD} = 10.8V$, $V_{BB} = -5.5V$, $T = 75^\circ\text{C}$ の時 $t_{acc}(\overline{CE}) = 165\text{ns}$ である。



H: 20 ns/div, V: 2 V/div

図 3-39 出力波形 (TYP. 20°C)

以上より動作周囲温度 $0 \sim 70^{\circ}\text{C}$ において、データレートは、シリアル・モードで最大 1Mbit/sec ，ページ・モードで最大 3Mbit/sec であり， $t_{\text{ref}}(70^{\circ}\text{C}) = 4\text{ms}$ つまり $f_{\text{SE}} = 50\text{KHz} \sim 1\text{MHz}$ で動作可能である。図 3-40 は外部入力クロック 1MHz の SE, SYNC, $\overline{\text{CE}}$ に同期して連続的に読み出されるデータ出力の例を示している。

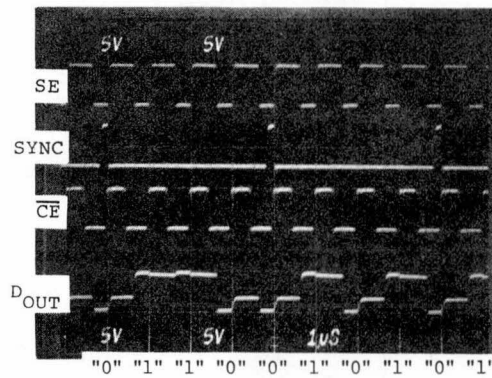


図 3-40 64K CCD メモリチップの入・出力波形

② 消費電力

図 3-41 に $V_{\text{DD}} = 12\text{V}$ ， $V_{\text{BB}} = -5\text{V}$ ， $T = 20^{\circ}\text{C}$ の場合における平均電源電流 I_{DD} を示す。各種の動作モードの中でシリアル・モードの場合が消費電力が最も多く，図より $f_{\text{SE}} = 1\text{MHz}$ の時 205mW である。リサーキュレート・モードは I/O 動作を行わず，チップ内でデータをリフレッシュしているモードで， $f_{\text{SE}} = 50\text{KHz}$ の時 40mW である。これがスタンバイ時の消費電力である。また，3.3 で述べた方法により CCD クロック発生回路の部分だけで消費される電力を求めた結果も同図に示している。

CCD クロック発生に要する電力は $f_{\text{SE}} = 1\text{MHz}$ の場合，シリアル・モードで全消費電力の 25% を占め，リサーキュレート・モードで 31% を占めている。動作周波数が下がるにつれて，その割合は減少して行く。そして，TTL から MOS レベルに変換するバッファ部で消費される電力が主成分になってくる。

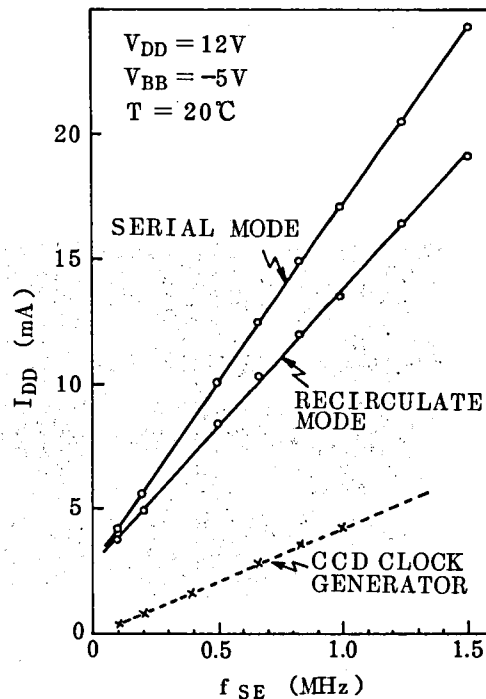


図 3 - 4 1 電源電流の周波数依存性

③ 電源マージン

シリアル・モード ($f_{SE} = 500\text{KHz}$) での電源電圧動作マージンの測定例を図 3 - 42 に示す。電源電圧動作マージンのデータパターン依存性はほとんどなく、動作周囲温度 (20°C と 70°C) による差異もほとんどない。テストデバイスによる転送効率の測定結果は、10% 以上のファットゼロで、99.90% ~ 99.94% であり、転送効率による不良はないと言える。また、ダミー CCD を用いた基準電圧発生が正常に行なわれていることを示している。 $V_{DD} = 12\text{V} \pm 10\%$, $V_{BB} = -5\text{V} \pm 10\%$ の範囲は満たしているが、 V_{DD} の低い方がマージンが小さい。これは測定チップにおけるファットゼロ量の過大 (25%) が一因と考える。

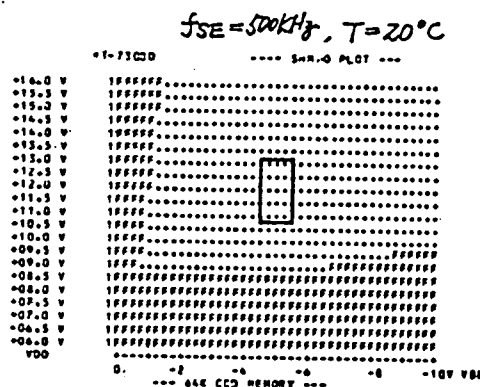


図 3 - 4 2 電源電圧動作マージン

④ メモリチップの特性のまとめ

メモリチップの諸特性のまとめを表 3-5 に示す。

表 3-5 64KビットCCDメモリの特性

特 性 項 目	特 性
プ ロ セ ス	n チャネル MOS ダブルポリシリコン 表面チャネル型
動 作 周 囲 温 度	0 ~ 70℃
メ モ リ 構 成	64 K 語 × 1 ビット (256 ビット × 256)
電 源	$V_{DD} = 12V \pm 10\%$ $V_{BB} = -5V \pm 10\%$ $V_{SS} = 0V$
チ ッ プ サ イ ズ	$7.1 \times 4.7 \text{ mm}^2$
パ ッ ケ ー ジ	18 ピンセラミック
ア ク セ ス タ イ ム	平均 130 μs (1MHz)
デ ー タ レ ー ト	最大 3 Mbit/s (ページ) 最大 1 Mbit/s (シリアル)
リ フ レ ッ シ ュ タ イ ム	4 ms (70℃)
消 費 電 力	205 mW (シリアル) 40 mW (スタンバイ)

また、メモリチップの各構成要素の面積およびそのチップ全体に占める比率を表 3-6 (a)に、また比較のため同一設計基準 (5 μm 系) による 16Kビットダイナミック RAM のビット当りセルおよびチップ面積を同表(b)に示す。

表 3 - 6 (a) 64 K ビット C C D メモリのチップ面積

(5 μ m 系)

	面 積 (m^2)	比 率 (%)
メモリセルアレイ	12.60	37.8
センスアンプ	4.86	14.6
アドレスデコーダ	2.19	6.6
クロック発生回路	6.37	19.0
I/O, コントロール他	7.35	22.0
チップ全体	33.37	100.0
ビット当りセル面積	192 μm^2	
ビット当りチップ面積	509 μm^2	

表 3 - 6 (b) 16 K ビット D - R A M のチップ面積

(5 μ m 系)

ビット当りセル面積	371 μm^2
ビット当りチップ面積	995 μm^2

以下に試作した E / B 方式メモリの特徴を示すと

- (1) E / B 方式でありながら転送クロックは内部で発生されており，外部入力クロック数はきわめて少く使い易い。
- (2) クロックを含め全ピン共低入力容量の TTL コンパチブルで非常に使い易い。
- (3) クロックドライバを集積化しているので信頼性が高い。
- (4) 4 シフトレジスタのマルチプレクス化により，センスアンプの数を減らし，チップ面積の縮小を図るとともに，データレート的高速化を実現している。
- (5) メモリ部と同一のダミー C C D を使って基準電圧を発生しているので，製造パラメータ，電源電圧，周囲温度等の変動に対して強い。
- (6) 平均アクセスタイムが 130 μs ($f_{SE}=1MHz$) と比較的速い。
- (7) クロックドライバを内蔵しながら低消費電力化が実現されている。
- (8) チップ面積に関しては，同一設計基準による 16 K ビット D - R A M に比べて，メモリセル面積，チップ面積とも約 2 分の 1 が得られた。

3.5 両方式の比較および工学応用上の問題点

M L S 方式による 1 2 8 K ビットメモリと E / B 方式による 6 4 K ビットメモリのチップ面積に関するデータを、1 6 K ビットダイナミック R A M と従来方式による 1 6 K ビット C C D メモリのそれと比較して表 3 - 7 に示す。各メモリはそれが設計された時期により設計基準が $7.5\mu\text{m}$

表 3 - 7 各種メモリのチップ面積の比較 ($5\mu\text{m}$ 系換算)

メモリの種類 比較項目		1 6 K D - R A M	1 6 K 従来方式 C C D メモリ	1 2 8 K M L S 方式 C C D メモリ	6 4 K E / B 方式 C C D メモリ
ビット当りセル面積 (μm^2)		3 7 1	3 4 9	1 8 1	1 9 2
同上対 1 6 K C C D 比		1.0 6	1.0	0.5 2	0.5 5
ビット当りチップ面積 (μm^2)		9 9 5	6 9 7	3 8 7	5 0 9
同上対 1 6 K C C D 比		1.4 3	1.0	0.5 6	0.7 3
面積 比率 (%)	メモリセルアレイ	3 7.2	5 0.1	4 6.8	3 7.8
	センスアンプ	6.4	1 3.7	1 9.3	1 4.6
	デコーダ	1 9.4	1 0.9	1 4.1	6.6
	I/O, コントロール	3 7.0	2 5.3	1 9.8	4 1.0

から $5\mu\text{m}$ の範囲で異っているため、表 3 - 7 には全て $5\mu\text{m}$ に換算した値を示した。換算は設計基準により一様に縮小されたものとして行った。この表より 1 ビット当りのメモリセル面積は従来方式 C C D メモリでは D - R A M と余り変らないが、M L S 方式、E / B 方式ではともに約 2 分の 1 に縮小されていることがわかる。また、1 ビット当りのチップ面積では大幅な改善がなされているように見えるが、全体の記憶ビット数が異なるため、単純には比較できない。

記憶ビット数を 6 4 K ビットに換算して比較したのが表 3 - 8 である。1 6 K ビット D - R A M のデータを 6 4 K ビットに換算するには、メモリセルアレイとセンスアンプは 4 倍、X デコーダは 2 倍、Y デコーダは 3 倍、I/O, コントロール部は変らないとして計算した。また C C D メモリについてはメモリセルアレイ、センスアンプ、デコーダともビット数に比例するとし、I/O, コントロール部はやはり不変として計算した。この結果より 1 ビット当りチップ面積は M L S 方式では D - R A M の約 1.4 分の 1、E / B 方式では約 1.3 分の 1 となることがわかる。また面積比率を見ると、M L S 方式ではセンスアンプと I/O, コントロール部が大きく、4 レベル

表 3 - 8 64 K ビット 換算各種メモリのチップ面積比較

メモリの種類 比較項目		D - R A M	従 来 方 式 C C D メ モ リ	M L S 方 式 C C D メ モ リ	E / B 方 式 C C D メ モ リ
ビット当りチップ面積 (μm^2)		6 5 3	5 6 5	4 6 4	5 0 9
同上対従来方式 C C D 比		1.1 6	1.0	0.8 2	0.9 0
面 積 比 率 (%)	メモリセルアレイ	5 6.7	6 1.8	3 9.1	3 7.8
	センスアンプ	9.7	1 6.9	1 6.1	1 4.6
	デコーダ	1 9.5	1 3.5	1 1.8	6.6
	I/O, コントロール	1 4.1	7.8	3 3.0	4 1.0

の弁別のためセンスアンプが複雑になったことと、使い易さのため外部信号を簡略化し、かつ T T L レベルとした結果が現れている。E / B 方式では I / O , コントロール部が特に大きい、これは複雑な転送クロックを全て内部発生としたため、クロック発生回路が大きくなったためである。逆に従来方式 C C D メモリの I / O , コントロール部が非常に小さいのは、転送クロックを全て外部駆動としているためであり、これを内蔵するとさらにチップ面積が増大する。

1 チップの記憶容量が増大すると、メモリセルアレイ以外の面積比率が減少し、1 ビット当りのチップ面積が減少する。上述の D - R A M の換算では、1 6 K ビットが 6 4 K ビットになることにより、1 ビット当りチップ面積は約 1.5 分の 1 となり、逆に M L S 方式 C C D メモリでは、1 2 8 K ビットを 6 4 K ビットにすることにより面積は 1.2 倍となっている。C C D メモリはメモリセルアレイ部にコンタクトおよび拡散領域がないため、D - R A M に比して高歩留が期待でき、チップサイズを大きくできたこと、および M L S 方式、E / B 方式等によりビット密度を高め、比較的ゆるい設計基準で 1 チップの記憶容量を大きくできた結果、表 3 - 7 に示すような 1 ビット当りのチップ面積の縮小がなされたわけである。この意味では、M L S 方式の方がビット当り面積が小さく、また全チップ面積も小さくなるため、高歩留が期待され⁽²⁵⁾、コスト的に有利と言える。

両方式ともメモリセル部分の全チップ面積に対する比は40%であるが、今後転送効率の改善により、入力回路とセンスアンプ間のCCDシフトレジスタの長さが、現状の2倍ないし4倍にできれば、この比は57%、72%と向上し、大幅なチップ面積の縮小が期待できる。CCDメモリの集積度向上、つまりコスト低下は転送効率の向上そのものにかかっている。

今回採用したE/B駆動は、8相駆動方式で8電極で3bitを蓄積している。通常の4相駆動は4電極で1bitなので1.5倍の高集積化を達成している。E/B駆動の相数を増加させれば集積度は向上するが、駆動方式が複雑になり実地的でない。(最高で2倍の密度)

また、MLS方式は原理的には4値で2倍、8値で3倍、16値で4倍……と集積度は向上するが、これは前に述べた転送効率が制限する。すなわち、リフレッシュするまでに転送できるステージ数と、何値のMLSを採用するかが転送効率によって決まる。

MLS方式とE/B駆動の組み合わせはもちろん可能で、E/B駆動により転送方向の集積度を向上させて転送回数を減らし、MLSのbit数を3~4に選ぶことができればCCDメモリの集積度は飛躍的に向上する。すでに99.99%の転送効率は通常プロセスで実現されており、上に述べた2値以上のMLS方式が有望となりつつある。

3.6 結 言

C C Dの動作機構をふり返り、これをメモリに適用する場合、他メモリとのコスト的、性能的、比較を行い、C C Dメモリの産業の中での位置を概観した。この産業の位置付けの中から、このメモリは他の既存のメモリに比して低コスト、すなわち集積度向上に大きな課題を有していることを述べ、これに対し従来の方式と新しい方式とを比較検討した。

従来の方式では、1ビット当り4電極を要するため、集積度を向上させることに問題があった。筆者は1ビット当りの電極数を減らす方法として2つの方式を試みた。1つはC C Dメモリが本質的にアナログ素子である点に着目し、1つのポテンシャル井戸に多数レベルの電荷充填状態を与えて複数ビットを蓄積させるM L S方式である。他の1つはNケの蓄積電極に(N - 1)ケの信号電荷を蓄積し、残り1ケの空の蓄積電極を逆方向に移動することにより、データの転送を行うE / B方式である。

M L S方式では4レベルの電荷充填状態により2ビットを蓄える方式について検討した。入力方法としては面積比が2 : 1の蓄積電極に各ビットの“1”，“0”により電荷を充填した後、両電極の電荷を混ぜ合せることにより、精度よくかつ、高速に4レベルを得る方式を開発した。転送方法としては転送電荷量を大きくとるため、4相クロック方式により常に電荷が2電極（蓄積電極と転送電極）以上にまたがって蓄積される方式とした。検出にはフリップフロップ形の差動増幅器を使用し、この基準電圧(Vref)をまず1/2のレベルにして第1ビットを弁別し、その結果によりVrefを5/6あるいは1/6のレベルとして第2ビットの弁別を行う方式を開発した。入力回路およびセンスアンプによる面積増大を軽減するため、64段128ビットのシフトレジスタ4本を1ブロックとし、各ブロック毎に1回路を設ける構成法とした。テストデバイスを試作することにより、これらの動作を確認し、新しい方法の妥当性を明らかにした。このテストデバイスの結果をもとに、256ブロックより成る128KビットC C Dメモリの設計を行った。設計基準6 μm でチップサイズ7.9 \times 8.9 mm となり、同基準の16KビットD-RAMに比し、1ビット当りメモリセル面積は2分の1、チップ面積は2.6分の1が得られた。アクセスタイムは平均128 μs 、データレートは2 Mb/S、消費電力は390 mW が設計上得られた。

次にE / B方式については8電極（4蓄積電極と4転送電極）に3ビットを蓄え、8相のクロックで転送を行う方式について検討した。データレートの低下を防ぎ、かつチップ面積の増大を軽減するためここでも4本のシフトレジスタを1ブロックとし、各ブロック毎にそれぞれ1つの

入力回路とセンスアンプを設け、8相の転送クロックに同期してマルチプレクスを行う方式を開発した。センスアンプにはフリップフロップ形の差動増幅器を用い、その基準電圧(V_{ref})を、データ記憶用と同一構造のダミーCCDメモリブロックにおいて、正確に“1”と“0”の1/2のレベルに設定された信号電荷を“1”、“0”等確率に判定するように、設定することにより、電源電圧変動、プロセス変動等の外乱に強い回路構成とした。E/B方式の最大の問題点は多相の高負荷容量転送用クロックパルスであるが、パルス増幅回路を完全ダイナミック化して消費電力も抑え、かつ過渡時はやゝ高抵抗として立上り、立下り時間をやゝ長くし、定常時はさらに別の並列トランジスタをONすることにより、低抵抗化してクロストーク雑音を低減することにより全クロック回路を内蔵化した。これにより全入力ピンは低入力容量のTTLレベルとなった。これらの技術により、設計基準 $5\mu\text{m}$ で設計、試作した64KビットCCDメモリは、平均アクセス時間 $130\mu\text{s}$ 、データレート 1Mb/s 、消費電力 205mW で安定に動作することが確認された。チップ面積に関しては、同一設計基準の16KビットDRAMに比して1ビット当りメモリセル面積、チップ面積とも約2分の1と縮小された。

ここに開発されたMLS方式CCDメモリ、E/B方式CCDメモリを従来方式のCCDメモリおよびダイナミックRAMとより厳密に比較するため、設計基準を $5\mu\text{m}$ に合せ、チップ当り記憶容量を64Kビットに換算して比較を行った。その結果、CCDメモリはDRAMに比して作り易いためチップサイズが大きくでき、さらにMLS方式あるいはE/B方式によりビット密度が高められ、1チップ当りの記憶容量が増大できることが、ビット当りのチップ面積縮小に大きく寄与していることが明らかとなった。

両方式ともメモリセルアレイ部分の全チップ面積に対する比率は40%程度であるが、今後、プロセスの微細化にともない、清浄化、無欠陥化が進み、転送効率が向上すれば、入力回路とセンスアンプ間のCCDシフトレジスタの長さが長くでき、大容量化とあいまって一層のビット当りチップ面積の縮小が期待される。MLS方式では、プロセスの高精度化と転送効率の向上により3ビット(8レベル)以上の多ビット化も可能性がある。またMLS方式とE/B方式とを組合せることも可能であり、E/B方式により転送方向の集積度を向上させて転送回数を減らし、MLSのビット数を3~4にすることができればCCDメモリの集積度は飛躍的に向上することが期待される。

参 考 文 献

- (1) Boyle, W.S. and Smith, G.E. : "Charge coupled semiconductor devices", Bell Syst. tech. J., 49, p.587 (April 1970).
- (2) Wen, D.D. : "A CCD video delay line", ISSCC Dig., p. 204 (1976).
- (3) Buss, D.D., Collins, D.R., Bailey, W.H. and Reeves, C.R. : "Transversal filtering using charge-transfer devices", IEEE J. Solid-State Circuits, SC-8, 2, p. 138 (April 1973).
- (4) Tompsett, M. and Zimany, E.M. : "Use of charge coupled devices for delaying analog signal", IEEE J. Solid-State Circuits, SC-8, 2, p.151 (April 1973).
- (5) Séquin, C.H., Sealer, D.A., Bertram, Jr., W.J., Tompsett, M.F., Buckley, R.R., Shankoff, T.A. and McNamara, W.J. : "A charge-coupled area image sensor and frame store", IEEE Trans. Electron Devices, ED-20, 3, P.244 (March 1973).
- (6) Séquin, C.H., Morris, F.J., Shankoff, T.A., Tompsett, M.F. and Zimany, Jr., E.J. : "Charge-coupled area image sensor using three levels of polysilicon", IEEE Trans. Electron Devices, ED-21, 11, p. 712(Nov. 1974).
- (7) Matsumoto, H., Ando, T., Kanoh, Y., Yamanaka, S. and Ochi, S. : "A zigzag-transfer CCD imager", ISSCC Dig., p. 28 (1978).
- (8) Amelio, G.F., Bertram, Jr., W.J. and Tompsett, M.F. : "Charge-coupled imaging devices : design considerations", IEEE Trans. Electron Devices, ED-18, 11, p. 986 (Nov. 1971).
- (9) Tompsett, M.F., Amelio, G.F., Bertram, Jr., W.J., Buckley, R.R., McNamara, W.J., Mikkelsen, Jr., J.C. and Sealer, D.A. : "Charge-coupled imaging devices : experimental results", IEEE Trans. Electron Devices, ED-18, 11, p. 992 (Nov. 1971).

- (10) Klein, R., Mackenzie, K., Nojima, I., Simko, S., Simonsen, C. and Tchon, W. : "Application considerations for 64K CCD memories", IEEE Int. Convention, 19-2, p. 1 (April 1977).
- (11) Chou, S. : "Design of a 16384-bit serial charge-coupled memory device", IEEE Trans. Electron Devices, ED-23, 2, p.78 (Feb. 1976).
- (12) Krambeck, R.H., Retajczyk, Jr., T.F., Silversmith, D.J. and Strain R.J.: "A 4160-Bit C4D serial memory", IEEE J. Solid-State Circuits, SC-9, 6, p. 436 (Dec. 1974).
- (13) Gunsagar, K.C., Guidry, M.R. and Amelio, G.F. : "A CCD line addressable random-access memory (LARAM)", IEEE J. Solid-State Circuits, SC-10, 5, p. 268 (Oct. 1975).
- (14) Rosenbaum, S.D. and Caves, J.T. : "8192-Bit block addressable CCD memory", IEEE J. Solid-State Circuits, SC-10, 5, p. 273 (Oct. 1975).
- (15) Tchon, W.E., Elmer, B.R., Denboer, A.J., Negishi, S., Hirabayashi, K., Nojim, I. and Kohyama, S. : "4096-Bit serial decoded multiphase Serial-Parallel-Serial CCD memory", IEEE Trans. Electron Devices, ED-23, 2, p. 93 (Feb. 1976).
- (16) Rosenbaum, S.D., Chan, C.H., Caves, J.T., Poon, S.C. and Wallace, R.W.: "A 16384-Bit high-density CCD memory", IEEE Trans. Electron Devices, ED-23, 2, p. 101 (Feb. 1976).
- (17) Mohsen, A.M., Tompsett, M.F., Fuls, E.N. and Zimany, Jr., E.J. : "A 16-kbit block addressed charge-coupled memory device", IEEE Trans. Electron Devices, ED-23, 2, p. 108 (Feb. 1976).
- (18) Terman, L.M. and Heller, L.G. : "Overview of CCD memory", IEEE Trans. Electron Devices, ED-23, 2, p. 72 (Feb. 1976).

- (19) Yamada, M., Fujishima, K., Nagasawa, K. and Gamou, Y. : "A new multilevel storage structure for high density CCD memory", IEEE J. Solid-State Circuits, SC-13, 5, p.688 (Oct. 1978).
- (20) Zohdy, H.S.A., Chamberlain, S.G. and Watt, L.A.K. : "Limitations of multilevel storage in charge-coupled devices", IEEE Trans. Electron Devices, ED-27, 9, p.1733 (Sept. 1980).
- (21) Collins, D.R., Barton, J.B., Buss, D.C., Kmetz, A.R. and Schroeder, J.E. : "CCD memory options", ISSCC Dig., p.136 (1973).
- (22) Kohyama, S., Hatano, H., Tanaka, T. and Kubota, T. : "A new multiplexed electrode-per-bit structure for a 64-kbit charge-coupled-device memory", IEEE J. Solid-State Circuits, SC-12, 4, p.335 (Aug. 1977).
- (23) M.Yamada, K.Fujishima, K.Nagasawa, Y.Gamou ; " A New Multiplex Input Technique for High Density CCD Memory ", J. J. A. P. , 19 Suppl. 19-1, PP. 259~263 (1980)
- (24) M. Yamada, K. Fujishima, K. Nagasawa, Y. Gamou ; " All TTL Compatible CCD Memory with CCD Clock Generator ", IEEE J. Solid-State Circuits, SC-15, P881 (1980)
- (25) Varshney, R.C. and Venkataswaran, K. : "A block organized 64-kbit CCD memory", IEEE J. Solid-State Circuits, SC-13, 5, p.681 (Oct. 1978).
- (26) Mohsen, A.M., Bower, R.W., Wilder, E.M. and Erb, D.M. : "A 64-kbit block addressed charge-coupled memory", IEEE Trans. Electron Devices, ED-23, 2, p.117 (Feb. 1976).

第4章 大容量ダイナミックMOS記憶装置

4.1 はじめに

メモリハイアラキにおいて、ダイナミックMOS RAMは確固たる地位をしめるに至った。これは大容量化により、素子およびシステムレベルでの性能／価格比と信頼性の大幅な向上による⁽¹⁾。図4-1にメモリの相対コストの推移を示す。

MOS RAMの集積度は2年毎に4倍の割合で向上している⁽²⁾。図4-2にチップ別の素子数の増加率を西暦年に対し示す。

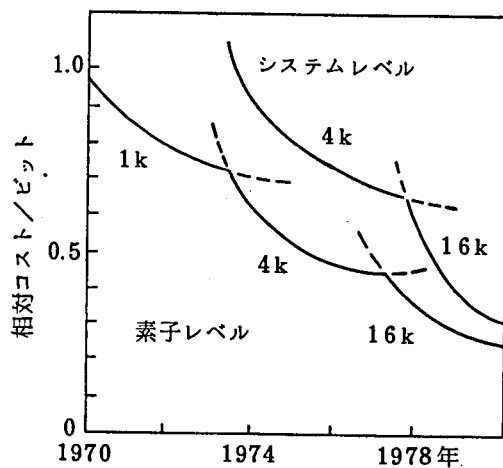


図4-1 メモリの相対コスト

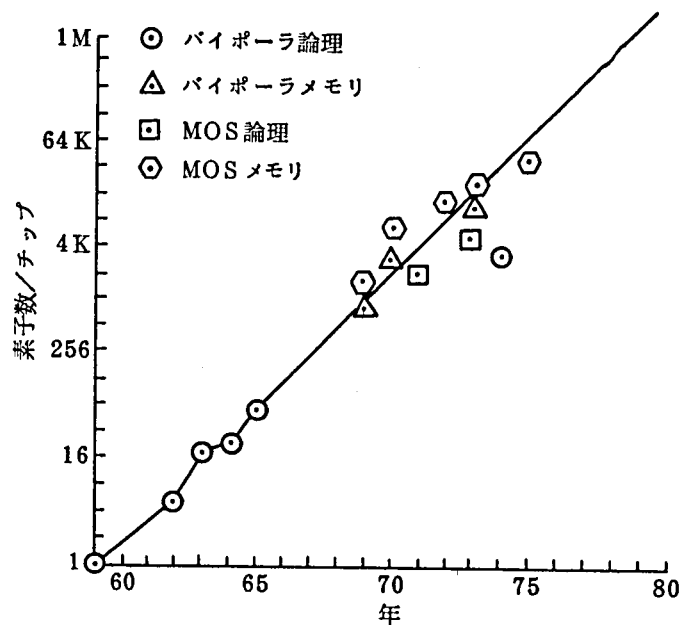


図4-2 素子数／チップ

1970年、最初に現れた1KビットのMOS(D)RAM⁽³⁾⁽⁴⁾は、設計基準 $10\mu\text{m}$ のPチャネルシリコンゲートプロセスで製造され、メモリセルは3ケのトランジスタで構成されていた。いわゆる3Tr方式である。つづいて1972年Nチャネルシリコンゲートプロセスが開発され、設計基準が $7.5\mu\text{m}$ に縮小されることにより、4K(D)RAM⁽⁵⁾が実現した。1973年にはメモリセルを1ケの電荷蓄積用電極とそれの充放電を行うためのスイッチとしての1ケのトランジスタで構成したいわゆる1Tr方式のメモリセルの採用により大幅にチップサイズを縮小した4K(D)RAMが実用化された^{(6)~(10)}。さらにアドレス信号を6ビットずつ2回に分けて入力するいわゆるアドレスマルチプレクス方式が開発され、従来22ピンを要していたのが16ピンになり実装上大幅な高密度化が実現された。

つづいて設計基準の $6\text{ }\mu\text{m}$ への縮小と2層ポリシリコンゲートの実用化⁽¹⁾⁽¹²⁾というプロセス技術の進歩により16K(D)RAMが実現され⁽¹³⁾；さらにセンスアンプ回路などほとんどの回路のダイナミック化による低消費電力化，全ての入出力信号のTTLレベル化等回路技術が向上し，また $5\text{ }\mu\text{m}$ レベルへのチップ縮小が行われ，価格的にも一層使い易いものとなった。

このように改良された16K(D)RAMは回路的改良による高集積化実現の余地はほとんど無く，つぎの64K(D)RAMの出現^{(14)~(17)}には，素子寸法をほぼ比例的に縮小し，回路動作のバランスを保つようにデバイスパラメータを調整し，かつ微細化された素子に適した回路設計を行う事が必要となった。

本章ではまずD-RAM*メモリセルの動作原理を述べ，つづいてD-RAMの発達を追って，そこに使われた技術を概説する。次にD-RAM設計のポイントとなるメモリセルの記憶容量とセンスアンプ感度について概括的考察を行ない，予備的実験結果からメモリセル容量とビット線容量の比およびメモリセル容量自体の限界値について考察する⁽¹⁸⁾。つづいて本論に入り，フリップフロップ形差動増幅センス回路の感度と1 Tr方式メモリセルからの読み出し電圧との比 m の解析を行い，大容量MOS(D)RAMのセンス回路が安定動作するための条件と設計指針について明らかにする⁽¹⁹⁾。また，係数 m とデバイスパラメータのバラツキの関係について検討した結果を述べる。商用に供されている16K(D)RAMを基準とし，スケーリング係数2の微細化を行った64K(D)RAMを，上記検討結果から得られた設計指針に従って設計，試作を行い，その結果 $m = 7.1$ が得られ，安定に動作することが確認された。この結果電源電圧7V，-2V，アクセス時間160ns，サイクル時間350ns，チップサイズ $4.28 \times 6.92\text{ mm}$ の64K(D)RAMが実現され，ここに用いた設計指針の妥当性が確認された。

微細化が進み，蓄積電荷量が小さくなると，パッケージ材料などに含まれる放射性物質から放出される α 粒子のシリコン基板への入射で生成される電子-正孔対により，メモリの情報破棄が起こる⁽²⁰⁾。この現象はソフトエラーと呼ばれ，64K(D)RAMでは適切な対策が必要となる。本論文では，電源電圧を5Vとした64K(D)RAMについて，まずソフトエラーを起こす臨界電荷量について検討し，つづいてソフトエラーの発生モード，評価方法について述べ，最後にソフトエラー率改善のために行った種々の実験，およびその結果について述べる。

* ダイナミックRAM，以下本文中ではD-RAM又は(D)RAMと略記する。

4.2 動作原理と高集積・高性能化技術

4.2.1 ダイナミック RAM の動作原理

図4-3(a)に n-チャネルの MOS キャパシタンスの例を示す。電極 A に正のパルスを加えると、半導体の表面電位 ϕ_s は図4-3(b)に示すように t_1 において

$$\phi_{SP} = \frac{C_1}{C_1 + C_2} V_D$$

となる。ここで、

C_1 : SiO_2 によるキャパシタンス

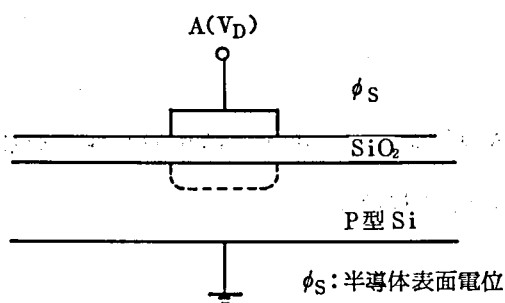
C_2 : 半導体側にできたキャパシタンス

ϕ_{SP} : 半導体の表面電位

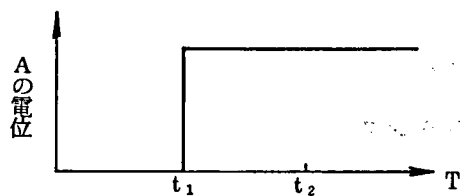
ϕ_s は時間と共に Generation-recombination によって空乏層が小さくなることにより減衰する。これは図4-3に示すように、ゲート電極をプラスに直流的に印加しておき、外部から強制的に ϕ_s の電位を略 ϕ_{SP} にしても同様な減衰特性を示す。同図(c)は、MOS キャパシタンス 1 個にゲートとして MOS トランジスタを用いた例である。MOS トランジスタのゲートを t_0 から t_1 まで開くと、MOS キャパシタンスの ϕ_s は略 ϕ_{SP} になり、つぎにゲートを閉じると ϕ_s は減衰を開始する。 V_G と ϕ_s の電位の関係を図4-3(d)に示す。例えば、 t_0 で $\phi_s = 10\text{V}$ となり、 t_1 で減衰を開始し t_2 で ϕ_s が 5V となる。ここで $\phi_s > 5\text{V}$ を“1”と定義すると、 t_1 から t_2 まで、この MOS キャパシタンスは“1”の情報を保持している。D-RAM は、この ϕ_s の電位をメモリとして使用しており、この場合には、 t_1 から t_2 の間にリフレッシュをしなければならない。メモリとして使用するときは、MOS キャパシタンスの表面電位 ϕ_s をいかにとり出すかによって、必要なトランジスタの数が決まり、つぎに説明するように 3 トランジスタ方式および 1 トランジスタ方式が従来実用化されている。

D-RAM は、このようにリフレッシュが必要なうえ、電源も $+12\text{V}$ 、 $\pm 5\text{V}$ と 3 電源、それにクロックレベルも MOS レベルが必要で、使い難いため、大形コンピュータ用にはよくても、小形システム用には単一電源で入出力レベルが、TTL レベルの S-RAM* が良いと信じられてきた。しかし、最近の D-RAM は、入出力レベルが TTL レベルとなり、実装密度が S-RAM に比較して 8 ~ 16 倍で、かつリフレッシュについても、Z-80 のように D-RAM 用リフレッシュ端子を持つマイクロコンピュータが現われると、D-RAM の欠点は電源数だけになる。したがって、D-RAM はこれからますます伸びるであろうことはまちがいない。

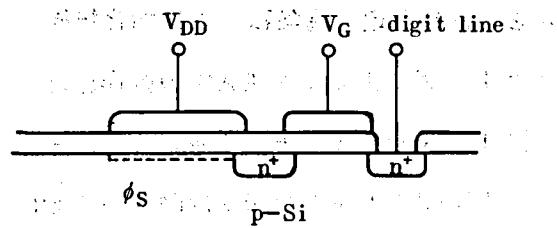
* スタチック RAM : 以下本文中では S-RAM と略記する。



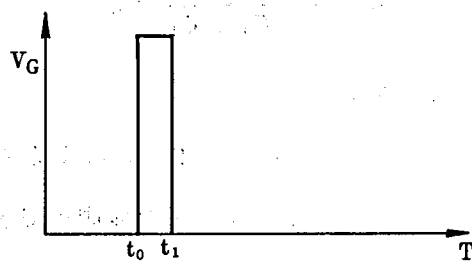
(a) MOS キャパシタンス



(b) ϕ_s の時間依頼性



(c) MOS キャパシタンスとゲートトランジスタ



(d) ϕ_s の時間依頼性

図 4-3 ダイナミック RAM メモリセルの原理

4.2.2 1K ダイナミック RAM (1K(D)RAM)

Intel 社の 1K(D)RAM i-1103 を例にとって説明する。i-1103 は、実用化された最初のダイナミック RAM で、1 ビットは図 4-4 (a) に示すように、3 トランジスタからなっている⁽⁴⁾。三つのトランジスタの役割りを説明すると、トランジスタ 1 は、データをキャパシタンスに書き込むための書き込み選択用トランジスタである。また同時にトランジスタ 1 は、リフレッシュ用トランジスタでもある。書き込み用トランジスタによって書き込まれたデータは、センス用トランジスタによってセンスされる。すなわちノード S の値によってトランジスタ 2 が導通または非導通となる。つぎにトランジスタ 3 が読み出し選択用トランジスタで、読み出しデータが、メモリセルよりディジット線へ出て行くことになる。このメモリセルは、以上の説明から明らかなように、原理的には非破壊読み出しで、以後 4K および 16K で用いられるメモリセルと大きな違いがある。i-1103 は、p-チャネル Si-ゲートプロセスで作られており、メモリマトリックスの原理は図 4-4 (b) に示される回路からなり、その動作原理を示すタイミングパルスを図 4-4

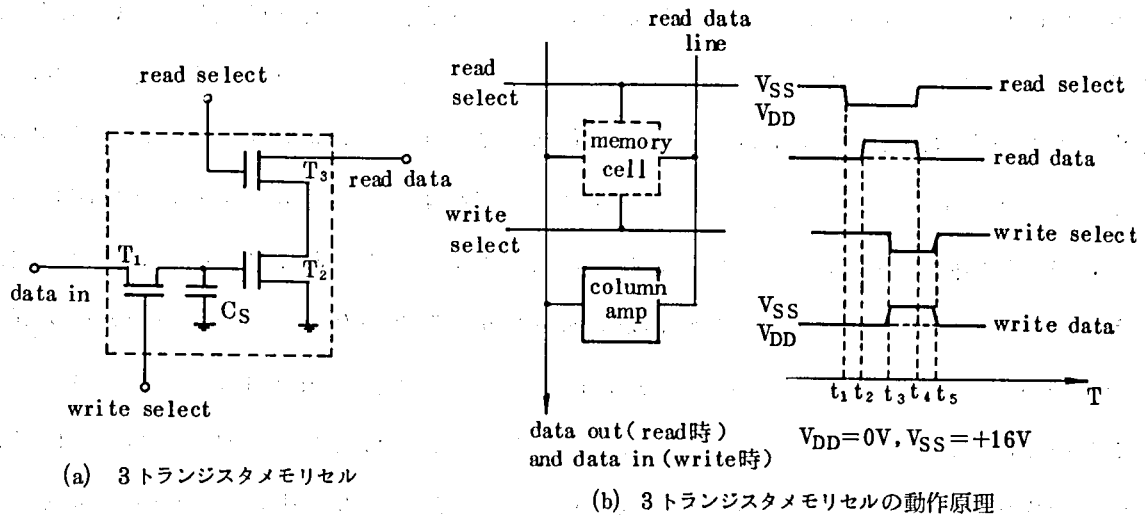


図 4-4 i-1103 のメモリセル

タイミング図から明らかなように、このメモリの特徴は read data line に読出された、メモリセルのデータが、column amp で増幅され、write data line にデータが出てから、write select line が選ばれ、メモリキャパシタンスにデータを書き込むことによって、読み出し refresh を誤動作しないように行っている。メモリセルへの書き込みは、write select line が選ばれたあと、write data line へデータを入れれば完了する。このように、原理的には簡単であるため、Intel 社では年間数 100 万個以上も作り、安価で供給して大形コンピュータのコアメモリの分野に食い込んだ。しかし、プロセスが Si-ゲートで難かしく、また電源電圧が定格で 19V と高く、Si 単結晶の (111) 面を使っているため長期安定性に問題を生じ易く、実際に、製品を大量に供給できたのは 2~3 社しかなかった。

4.2.3 4K ダイナミックRAM (4K(D)RAM)

1K(D)RAMではIntel社が圧倒的強みを持っていたが、4Kになるとその席をTI社に譲り渡さなければならなかった。Intel社が3トランジスタ/セル方式に固執している間に、TI社では1トランジスタ/セル方式を開発した⁽⁶⁾。1トランジスタ/セルの方式をメモリ素子として使おうという考えは、古く1968年^{(7),(8)}からあった。1トランジスタ/セルの等価回路を図4-5(a)に示す。1トランジスタ1キャパシタ/セルが高集積化に有効であることは明らかであったが、実用化に時間がかかったのは、破壊読み出しであること、および蓄積されている電荷量が小さいため、高性能のセンスアンプが必要であったからであった。この二つの困難点を解決したのがSiemensのStein⁽⁹⁾らであった。Steinらは、4K(D)RAMを1トランジスタ/セルで世界で初めて作った⁽¹⁰⁾。しかし、これを工業化できなかった。4K(D)RAMを開発し、世界のD-RAM全生産高の30%以上を握ったのはTI社であった⁽⁶⁾。TI社では、Siemensより遅れること2年で、1トランジスタ/セルの開発を開始し、開発開始後2年で商品化した。

SiemensのSteinら作った1トランジスタ/セルのシリコンゲートプロセスを用いて作ったレイアウトを、図4-5(b)に示す。図4-5(b)で示すように、蓄積用のキャパシタンスは、Si-ゲートMOSキャパシタンスで作られ、番地選択用トランジスタは、Si-ゲートMOSトランジスタでA1のrow select lineに接続され、column select line (通常digit lineと呼ぶので、以後digit lineと記す)は、拡散層で作られsense ampへつながれることになる。図4-6ではメモリセルが、sense ampの左右へ32個ずつ計64個とdummy cellが左右に1個ずつ計2個、1個のsense ampにつながれている。1個のメモリセルが選択されると、選ばれない側のdummy cellが選ばれ、バランスする。その時の等価回路は図4-7となる。図4-7のsense ampの動作原理を示すタイミングを、図4-8に示す。 $\bar{\phi}$ がHレベルにあるプリチャージタイム t_0 までにsense ampのdigit line Dと \bar{D} はまったく同電位になり、sense ampのドライバーのトランジスタのほぼ V_{th} まで下がる。 $\bar{\phi}$ が t_0 でLレベルになると、sense ampの両方のdigit lineは、電氣的に切れると同時に t_1 でメモリセル X_i とdummy cellのword lineがそれぞれ開き、メモリセルのキャパシタンス C_s に蓄積されている電荷がdigit line Dに出る。同様にdummy cellに蓄積されている電荷が、digit line \bar{D} に出る。この時のdigit lineの変化について計算してみる。メモリセルのキャパシタンスは、メモリセルの占有面積により決まり、ほぼ0.18 pFである。digit lineの容量は、digit lineに接続するメモリセルのゲート静電

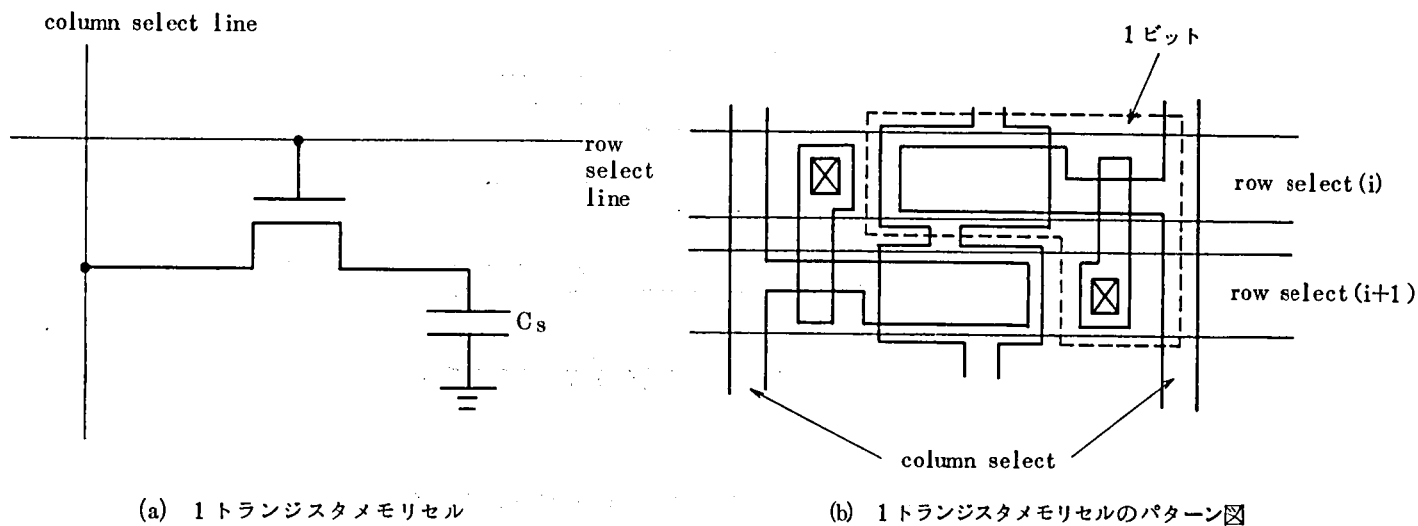


図 4-5 1トランジスタセルダイナミックRAM

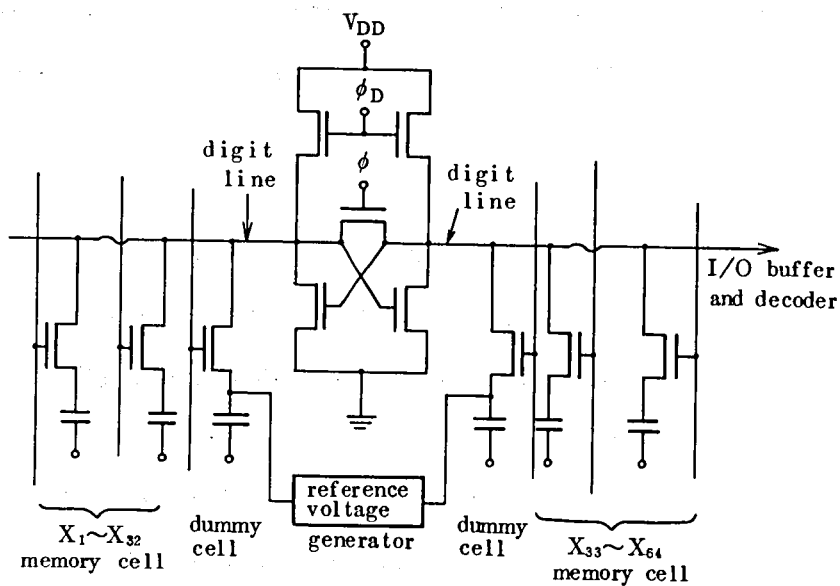


図 4-6 4K(D)RAMに使われた sense amp. システム図

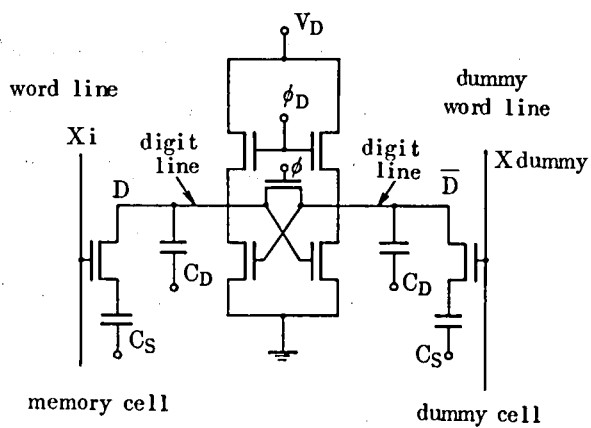


図 4-7 1トランジスタセルの sense amp 説明図

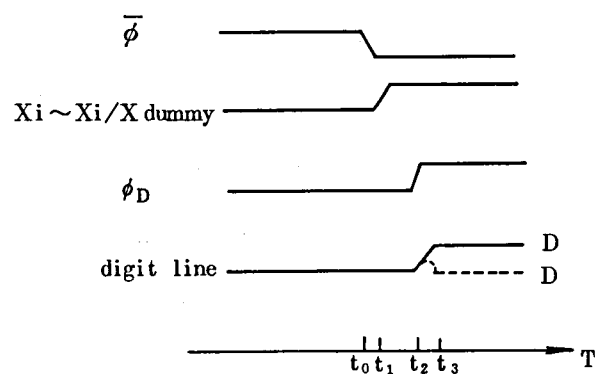


図 4-8 図 4-7 の sense amp の動作パルス

容量，基板との拡散容量およびほかの配線とのカップリングの容量であり， $C_D = 1.2 \text{ pF}$ である。メモリセルの書き込み電圧を 10 V ，digit line のプリチャージ電圧 $\approx V_{th}$ を 1 V とすると，メモリセルの word line が開いたあとの，digit line D の電位はつぎのようになる。

$$V'_D = \frac{C_S V_S + C_D V_D}{C_S + C_D} \quad (4.1)$$

V_S : メモリセルの word line の開く前の電位

V_D : digit line の word line の開く前の電位

V'_D : digit line の word line の開いた後の電位

(4.1) 式より， $V'_D \approx 2.174 \text{ V}$

dummy cell には，“1”と“0”の中間電位が書かれているから， V'_D は (5.1) 式を用いて $V'_T \approx 1.522 \text{ V}$ となる。したがってこの場合，digit line の電位差は， $\Delta V'_D = V'_D - V'_T = 0.652 \text{ V}$ である。この電位差が sense amp の digit line に出ると， ϕ_D が H になり，sense amp が働き出す。この sense amp は，左右の静電容量がほぼ完全にバランスしており，微少な電位差を高速にかつ感度良く検出可能である。上記の例では，メモリセルに“1”すなわち 10 V が書かれた例を示したが，“0”すなわち 0 V が印加された時の digit line の電位を (4.1) 式を用いて計算すると $V'_D \approx 0.870 \text{ V}$ となり， $\Delta V'_D = V'_D - V'_T = -0.652 \text{ V}$ となる。したがって，この計算例から明らかなように，メモリセル“1”すなわち 10 V ，“0”すなわち 0 V が書かれている時でも，sense amp の左右の電位差は， 0.652 V となり，この差を sense amp は十分検出することができる。sense amp は，この微少な電位差を検出し，左右の電位は 0 V と 10 V となり，メモリセルへの再書き込み，すなわちリフレッシュと，外部回路へのデ

ータの出力を行なう。ここで説明した sense amp への左右の電位差 0.652V は最も良い場合で、実際には、製造上のバラツキによる容量の変化およびメモリセルへ書き込み後の電荷の減衰などにより、左右の電位差が 100mV 以下になることもある。この型の sense amp では、製造上のバラツキを含めて、確実にセンスできる左右の電位差は、200mV 以上である。通常のメモリセルと digit line のそれぞれの容量の関係は、リフレッシュタイムも含めて、上記を満足するように設計されている。

以上は、4K(D)RAM としての原理であるが、4096 ビットに対応するアドレス信号 12 ビットを同時に送る方式と、6 ビットずつに分けてシリアルに送る方式があり、前者が 22 ピンのパッケージに収められ、後者が 16 ピンのパッケージに収められている。16 ピンのパッケージに収められた 4K(D)RAM は、メモリボードに組んだ時、高密度化が可能であるので、1976 年以後急速に発展しはじめた。

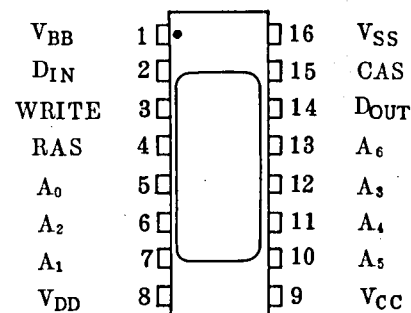


図4-9 16K(D)RAMのピン配置

A₀—A₆ : address input
 CAS : column address strobe
 DIN : data in
 DOUT : data out
 RAS : row address strobe
 WRITE : read/write input
 V_{BB} : power (−5V)
 V_{CC} : power (+5V)
 V_{DD} : power (+12V)
 V_{SS} : ground

4.2.4 16Kダイナミック RAM (16K(D)RAM)

4K(D)RAMは、3トランジスタ／セル方式の22ピン形、1トランジスタ／セル方式の18そして22ピン形、そして1トランジスタ／セル方式の16ピン形と、多種類の4kダイナミックRAMが市場に出た。しかし、16KになってからMOSTEK⁰⁹で開発した16ピン形のみが市場に出ている。16K(D)RAMのピン配置例を図4-9に示す。図4-9のピン配置例より明らかに、アドレス入力ピンはA₀からA₆までの7本である。7本のアドレス線によって、一度に128ビットが選択可能である。したがって同一のアドレス入力ピンから、2度に分けてアドレス入力を送ることによって、16Kビットの選択を可能にしている。他に、電源線、V_{DD}=12V、V_{CC}=5V、V_{SS}=0V、V_{BB}=−5Vを4本、data in, data outをそれぞれ1本、row address strobe(RAS), column address strobe(CAS), そして read/write 1本

の合計16本である。chip selectはCASに含めている。このように、最小必要限度までピンをきりつめ、標準型の16ピンにした理由は、ユーザーがメモリボードに組む時、ボード当たりの集積度が22ピン形と比較して2倍にもなるからである。

さて、1K(D)RAMから4K(D)RAMへは3トランジスタ／セルから1トランジスタ／セル方式への大きな変化があった。しかし、4Kから16Kへの発展には、方式そのものについては大きな変化はなかったが、16Kを商品化するため開発されたプロセス的設計的改良はいくつかあり、つぎにそれらについて順次説明したい。それらは、(1)メモリセルに2層構造の多結晶シリコンが用いられた、(2)sense ampを始めとして、タイミング回路などすべてダイナミック回路が使われ、直流電流が流れなくなった、(3)すべての入出力回路がTTLレベルになった、(4)出力がno-latchになった、そのほかである。

(1) 2層構造の多結晶シリコンを用いたメモリセル

1972年2月のISSCCで、GEのEnglerら⁽¹⁾が、surface-charge RAM systemとして表面電荷形の原理的に1トランジスタ1キャパシタ／セル方式と同じメモリセルを発表した。Englerらのメモリセルは、Alゲートでp-チャネルで作られていたので、従来のSi-ゲート n-チャネルの1トランジスタ／セル方式に比較して、十分なメリットが生かし切れなかった。1973年に、東芝が2層構造の多結晶シリコンを使ったEPROM⁽²⁾を商品化して以来、1975年にIntel社がCCDに2層構造の多結晶シリコンを使い、16K CCDメモリを商品化し、2層構造の多結晶シリコン(以後2層ポリSiと記する)が完全に実用化の域に達し、Englerのsurface-charge RAMメモリセルが、2層ポリ-Siを用いて作られ、1976年ISSCCで、Intel社から16ピン16K(D)RAMが発表された。従来の1トランジスタ／セルのメモリセルとsurface-charge形メモリセルの比較を図4-10に示す。図4-10(a)が4K(D)RAM用メモリセルで、番地選択用トランジスタは、ソース領域とドレイン領域があり、メモリキャパシタンスからの電荷の出し入れを選択している。一方図4-10(b)は、番地選択用トランジスタといえるゲートとメモリキャパシタンスが、表面電荷形となっており、拡散層がない。したがって、拡散層のなくなった領域だけメモリセルの面積が小さくなっている。さらに、2層ポリ-Si構造になったため、番地選択用トランジスタのゲートへのコンタクトが、メモリセルのキャパシタンス上で取ることが可能になったため、同一のメモリセルのキャパシタンスに対して、メモリセルとして占有面積が半分以下になった。

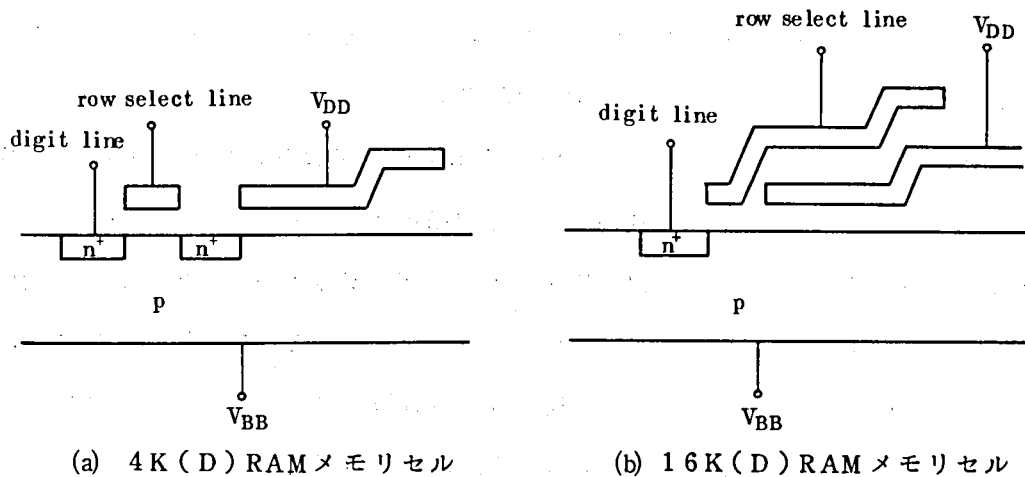


図 4-10 1トランジスタセルの改良

(2) 完全ダイナミックな sense amp

16K(D)RAMでは、128個の sense amp が同時に働くため、電流の消費が大きくなる。これを解決するため、完全ダイナミックな sense amp が採用された。sense amp の例を図 4-11 に示す。これは 1977 年 2 月に MOSTEK^{us} が発表したもので、完全にバランス型のフリップフロップセンスアンプである。回路図を図 4-11 (a) に、動作クロックパルスを図 4-11 (b) に示す。

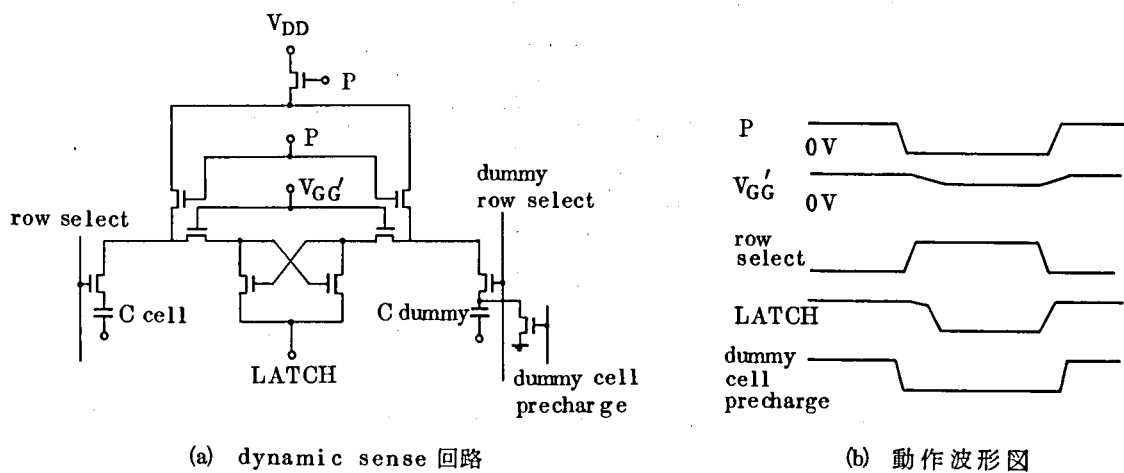


図 4-11 改良された sense amp

この sense amp は、プリチャージサイクルにおいては、LATCH が high レベルになり、フリップフロップのドライバーのトランジスタはカットオフとなって、直流電流は流れない。したがって、ディジットラインおよびフリップフロップトランジスタを H レベルにプリチャージする。つぎにプリチャージが終ると、メモリセルの row select が

開き，メモリセルの電荷がディジットラインに出，同時に反対側のダミーセルの dummy row select が開き，ダミーセルの電荷がディジットラインに出る。セルの内容がディジットラインに出ると，LATC Hが徐々にLレベルになり，微少な電位差を検出し，プリアンプする。つぎにLATC Hのレベルを急激に low レベルに下げ，メインアンプする。ここで，LATC Hのレベルを徐々に下げると，ディジットラインの低レベル側のみから電荷を流すことができ，ディジットラインのハイレベルはまったく下がらないが，センスに時間がかかるためプリアンプとして利用し，ある程度以上の電位差がついたら，高速センスする方に重点を置いている。以上のように，一つの回路でプリアンプの動作をさせている。row select は，sense amp が十分働らき，リフレッシュが完了するまで開いている。このように，センスとリフレッシュが同時に行なわれている。sense amp は，図4-12のシステムに明らかなように，128個同時に働くため，従来の ratio 形のセンスアンプでは消費される電流が大きくなり，実用化が困難であったが，この例のように完全ダイナミック形 sense amp の採用によって，消費電流は大幅に減少した。

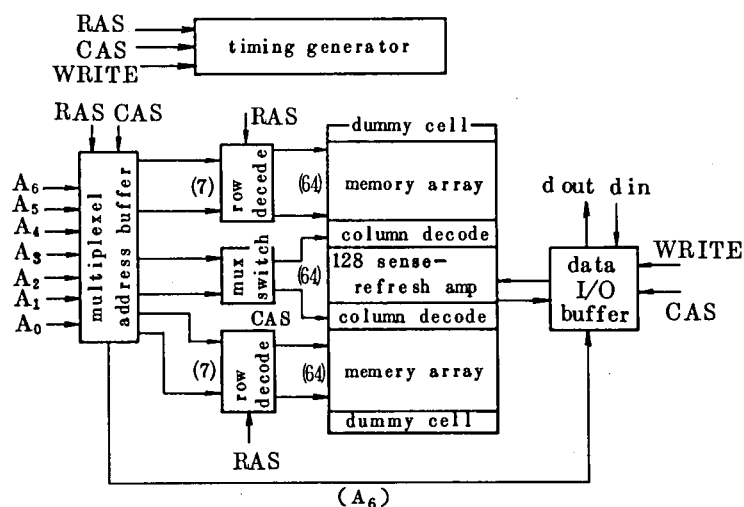


図4-12 16K(D) RAM system 原理図

(3) 入出力回路がTTLレベルであること

16Kになってから，入力バッファ回路に図4-13に示すように，センスアンプと同じダイナミック形フリップフロップ回路が使われるようになった。input data は，リファレンスの V_{RR} と同時に T_A が Hレベルの間に取り込まれる。つぎに strobe が Hになると，センスアンプと同様にフリップフロップが働き，TTL input の data が，リファレンスの 1.5 V より高ければ Hと読み，低ければ Lと読む。本方式により，data

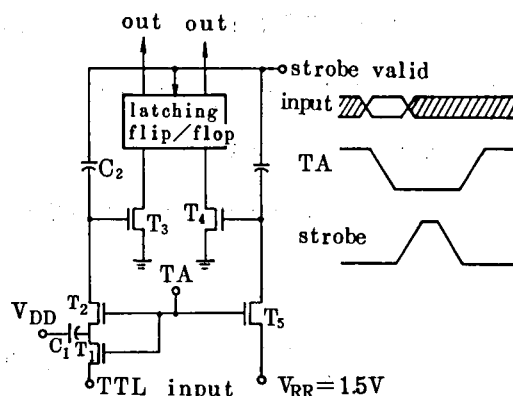


図 4 - 13 address buffer

input レベルのしきい値電圧がリファレンス電圧だけによるようになったため、トランジスタの V_{th} の差、プロセスによるトランジスタのチャンネル長および幅などの変化、および温度変化に対してまったく無関係になり、安定な TTL コンパチブルを保証できるようになった。また、入力レベルを TA で早く切れるため、multiplex address のホールドタイムすなわち address を正確に保持している時間を短くできるようになったので、高速の RAM を商品化できるようになった。

(4) 出力が no-latch

MK 4 1 1 6 の例では、出力は CAS によって制御されており、CAS が L の場合にのみ出力が出、残りは高インピーダンスになっている。このため使用者は、CAS をチップセレクションとまったく同等に使え、同一バスラインに多数の 16K (D) RAM を接続することも可能であり、Z-80 のようなマイクロコンピュータを使った場合には、内部にリフレッシュ信号発生回路があるので、従来スタティック RAM の独壇上であったマイクロコンピュータの分野にも進出するようになった。

4.2.5 ダイナミック RAM の高集積化

MOS メモリの集積度の 4 倍ずつの向上のうち、2 倍はパターンの微細化とチップの大形化に、残りの 2 倍はセル当りの素子数の減少によるとされている^{(2), (4)}。

今後 MCM^{(20)*} のようなプレーナ技術の極限值 $4W^2$ (W は最小寸法) の面積を持つメモリセルが実用化されたとすると、パターン寸法一定での集積度の向上は 16K メモリのセル面積に対して $18W^{(23)} / 4W^2 = 4.5$ 倍まで可能である。更に多ビット/素子の方向が残されているが、これは CCD の分野においてであるとされている。

* Merged Charge Memory

これに対して、素子寸法をスケールング則²³⁾に従って縮小し、その限界がゲート酸化膜厚 50 Å で決まるとすると、約 400 倍の集積密度の向上が可能である（図 4-14）。IBM の 8K メモリ²³⁾ (1.25 μm ルール) と通研の 64K メモリ²⁴⁾ (2 μm ルール) の集積度は一層 Si ゲートの線上にある。この直線を外そうすれば将来のメモリの集積度が大体予想できる。

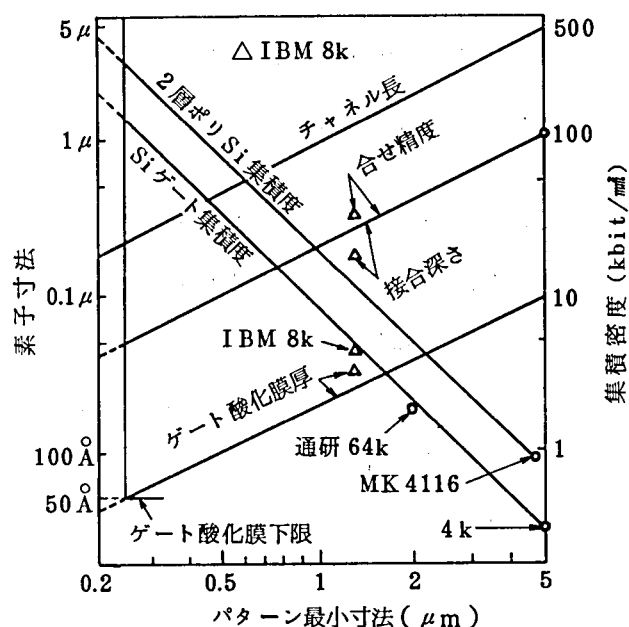


図 4-14 素子寸法および集積密度とパターン最小寸法

現在、3 μm ゲートレベルの素子が製品化されている。^{25), 26)} 2~4 μm 寸法の素子の量産化は投影形光学露光技術の採用によって現実のものになっている。

今後は素子の微小化とともにチップの大形化も進められ、チップ当りの集積度は更に向上するであろう。

素子を微小化するに従って、セルの電荷量はますます小さくなる。セルの微小信号を 1 ビットごとに増幅するエネルギーと時間を節約するには、CPU 自体の信号レベルも小さくて良いような論理素子およびアーキテクチャが望ましい。²⁷⁾ しかし、この場合 α 線によるソフトエラー対策が重要となる。

4.3 1トランジスタ方式ダイナミックMOS RAMの記憶静電容量

4.3.1 4KダイナミックRAMによる実験

1トランジスタ方式MOS RAMにおいてはメモリセルの静電容量(C_s ,以下メモリ容量と記す)を実用上どこまで小さくできるかが,チップ面積を大きく左右する。また,その読み出し電圧はビット線容量 C_b とメモリ容量 C_s との比にはほぼ反比例するため,この比がどこまで大きくできるかが問題となる。ここでは,この上限値の目安を得るため,メモリ容量の大きさを同一チップ内で5種類に変えた1トランジスタ方式の4K(D)RAMを試作,評価した。7.5 μm 基準のnチャネルSiゲートプロセスを使用し,電源電圧は $V_{GG} = 12\text{V}$, $V_{SS} = 0\text{V}$, $V_{BB} = -5\text{V}$ とした。ビット線容量および5種類のメモリ容量は,表4.1の通りである。

表 4.1 C_b C_s および C_b/C_s

C_b (pF)	C_s (pF)	C_b/C_s
0.68	$C_{s1} = 0.12$	5.9
"	$C_{s2} = 0.088$	7.7
"	$C_{s3} = 0.062$	11.0
"	$C_{s4} = 0.043$	15.8
"	$C_{s5} = 0.023$	29.8

これら5種類のメモリ容量は,4K(D)RAMのアドレス信号により任意に選択し,電気的特性を評価することができる。図4.15はメモリの動作領域を電源電圧 V_{GG} と V_{BB} に対しプロットしたいわゆる電圧マージン図である。 $C_{s1} \sim C_{s4}$ の4種類のメモリ容量を持った部分はほぼ同一の動作マージンを示したが, C_{s5} では動作しなかった。このことから C_b/C_s の上限値は15.8から29.8の間にあると言える。次にリフレッシュ時間の温度依存性について測定した結果を図4.16に示す。

同図よりリフレッシュ時間はメモリ容量の大小によらず温度が 10° 上昇すると約 $1/2$ になっており,また最小容量の C_{s4} の 70°C におけるリフレッシュ時間は約14 mSで規格の2 mSに対し十分余裕があることがわかる。この結果より C_b/C_s の値としては15.8であれば今回設計したD-RAMは十分安定に動作することがわかる。

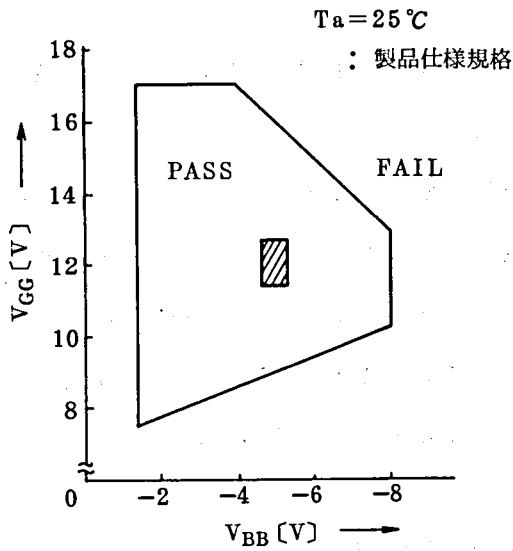


図 4 - 1 5 $V_{GG} - V_{BB}$ 特性

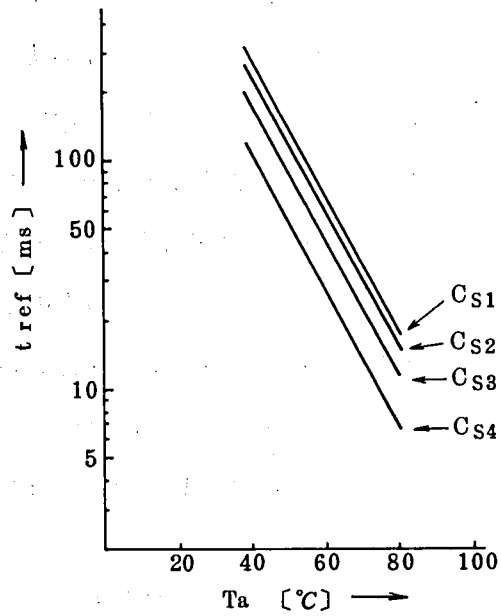


図 4 - 1 6 リフレッシュ時間の温度依存性

4.3.2 実験結果の考察

図 4.1 7 に 1 トランジスタ方式の基本回路図を示す。読み出し動作直前すなわちメモリセルのトランジスタが ON する直前のビット線電位を V_D ，メモリ容量の電位を V_S ，ダミーセルの電位を $V_{S'}$ ，また読み出し後のビット線電位を $V_{D'}$ ，ダミーセル側のそれを $V_{D''}$ とすると式 (4.1) より次式が得られる。

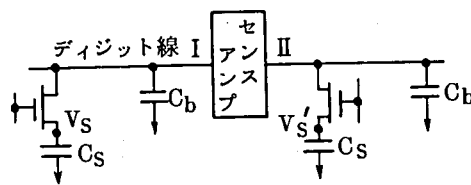


図 4 - 1 7 1 トランジスタ / セル方式の基本回路

$$V_{D'} - V_D = \frac{V_S - V_D}{1 + C_b / C_S} \quad (4.2)$$

$$V_{D''} - V_D = \frac{V_{S'} - V_D}{1 + C_b / C_S} \quad (4.3)$$

これよりセンスアンプ回路の両側に現れる差動入力電圧 $| \Delta V_{DD} |$ は次のようになる。

$$|\Delta V_{DD}| = \left| \frac{V_S - V_{S'}}{1 + C_b / C_s} \right| \quad (4.4)$$

前節の実験では $V_S, V_{S'}$ は一定であるため、 C_S が小さくなり C_b / C_s が大きくなると $|\Delta V_{DD}|$ が小さくなり動作しなくなることがわかる。

次に動作した4種類のメモリ容量に関し、そのリフレッシュ時間が、メモリ容量のリーク電流による電圧低下により決まっていることを利用して、センスアンプ感度とメモリ容量および C_b / C_s の限界値を推定する。

図4.16に示すリフレッシュ時間の温度特性より、メモリ容量からのリーク電流は Recombination Generation 電流が支配的であると言える。図4.18にメモリ容量の断面図を示す。 N^+ 部分のジャンクション面積を A_J 、メモリ容量のチャネル部分の面積を A_S とすると、リーク電流の電圧依存性は次の式で与えられる²⁰⁾。

$$I_L = \alpha \sqrt{V_S + 2\phi_F} \cdot (A_J + A_S) \quad (4.5)$$

ここに ϕ_F はフェルミレベルであり、 $2\phi_F = 0.6$ (V) である。 α の値を決めるため大面積のテスト用デバイスのジャンクションリーク電流の電圧依存性を測定した結果を図4.19に示す。

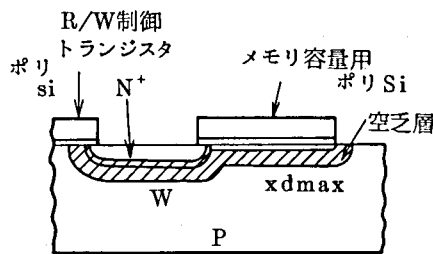


図4-18 メモリセル断面図

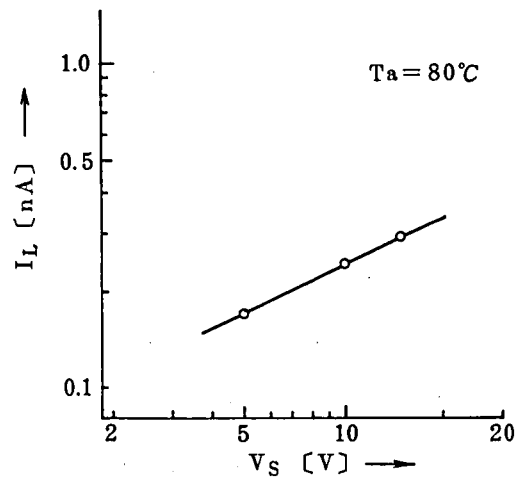


図4-19 ジャンクション電流-電圧

この結果より $\alpha = 0.021$ が得られた。従ってリーク電流は

$$I_L = 0.021 \sqrt{V_S + 0.6} (A_J + A_S) \quad (4.6)$$

となる。

一方，メモリ容量に最初に書き込まれる電圧を $V_S(0)$ ，メモリ容量からのリーク電流が流れ時間 t を経過した後のメモリ容量の電圧を $V_S(t)$ とすると，次の関係式が成り立つ。

$$(V_S(0) - V_S(t)) \cdot C_S = \int_0^t I_L dt \quad (4.7)$$

式(4.6)を式(4.7)に代入して解くと次のようになる。

$$V_S(t) = \left\{ \sqrt{V_S(0) + 0.6} - \frac{0.021(A_J + A_S)t}{2C_S} \right\}^2 - 0.6 \quad (4.8)$$

試作メモリに関する $V_S(0)$ ， A_J ， A_S の設計値およびリフレッシュ時間の測定値を用いてリフレッシュ時における各メモリ容量の電圧 $V_S(t_{ref})$ を求めると表4.2の値となる。

表 4.2 リフレッシュ時のメモリ容量の電圧

(単位：V)

	$V_S(t_{ref})$
C_{S1}	5.80
C_{S2}	6.14
C_{S3}	6.88
C_{S4}	7.73

これらの値より，式(4.4)により，センスアンプ感度はメモリ容量に依らず一定として，センスアンプ感度を求めると 0.19 V が得られる。

つぎに今回設計したセンスアンプ回路で利用できるメモリ容量 C_S の最小値として 80℃でリフレッシュ時間が 2 m秒となる C_S の値を式(4.8)と式(4.4)により求めると $C_S = 0.0315 \text{ pF}$ となり，従って， C_b/C_S の限界値は 21.5 となる。

本試作実験ではメモリ容量のみ変化し，ビット線の長さ，従って C_b は一定としているが，実際上はメモリ容量を減らせばメモリセル面積が減少し，従ってビット線が短くなり C_b が減少する。この減少の程度はパターン設計により異なるが，仮に縦横均等に縮小するとし，またメモリ容量がメモリセルの 70% の面積を占めるとすると，上に得られた値より 7.5 μm 基準程度で

は下記の如き値が限界値の目安として得られる。

センスアンプ感度 : 200mV

メモリ容量の最小限界値 : 0.02pF

C_b/C_sの最大限界値 : 20

4.4 スケーリング法を適用した大容量ダイナミック MOS RAM

4.4.1 安定動作の条件式

(a) 1トランジスタ形ダイナミック RAM の読み出し電圧

本章で検討した 1 トランジスタ形メモリセル (Memory cell) とセンス回路 (Sense circuit) の構成を図 4-20 に示す。本回路構成のとき、ビット線のプリチャージ電位及びワード線 (Word line), ダミーワード線 (Dummy word line) の電位が V_{DD} (チップの電源電圧) で, “1” 読み出し電圧と “0” 読み出し電圧がメモリセル, ダミーセル (Dummy cell) の MOST の閾値電圧 (V_{th} , Threshold voltage) より小さく, $2C_d = C_s$ (C_d : ダミーセル容量, C_s : メモリセル容量) が成り立てば記憶情報に関係せず, 読み出し電圧 (ΔV_R) は次式で与えられる。

$$\Delta V_R = \frac{(V_{DD} - V_{th})}{2 \cdot C_b / C_s} \quad (4.9)$$

ここで, C_b はビット線容量である。

(b) センス回路の感度

1 トランジスタ形 MOS (D) RAM のセンス回路は, 原理的には無限小の電位差を検出でき, かつ構成素子数の少ないフリップフロップが用いられている。このセンス回路の感度は, 計算機による回路解析から実験的に求められているが^{(29),(30)}, 簡単な MOST の特性式を用いて, 解析的に次式が得られている⁽³¹⁾。

$$\Delta V_{AS \max} = \sqrt{\frac{2 \cdot \alpha \cdot K \cdot C_b}{\beta_0}} \left(\frac{\Delta C_b}{C_b} + \frac{\Delta \beta_0}{\beta_0} \right) + 2 \cdot \Delta V_{th} \quad (4.10)$$

ここで, α はビット線の電位下降速度とフリップフロップソース端電位の下降速度比, K はフリップフロップソース端電位の下降速度, C_b はビット線容量の平均値, β_0 はフリップフロップ MOST のコンダクタンス定数 (Conductance constant) の平均値, $\Delta C_b, \Delta \beta_0$,

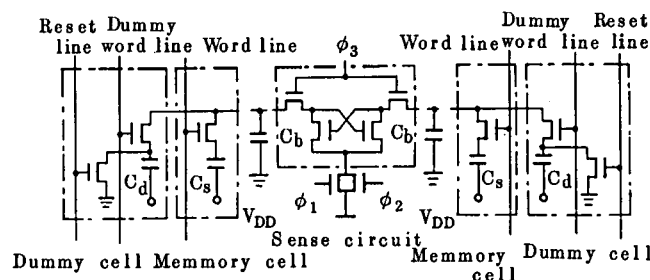


図 4-20 センス回路の構成

ΔV_{th} は、それぞれビット線容量，フリップフロップMOSTのコンダクタンス定数，その閾値電圧のバラツキである。バラツキは，平均値に対して標準偏差 (σ) で定義する。

(c) 安定動作の条件式

MOS(D)RAMが安定動作するためには， ΔV_R と $\Delta V_{AS\max}$ の間に次式が成立する必要がある。

$$\Delta V_R = m \cdot \Delta V_{AS\max}, m > 1 \quad (4.11)$$

係数 m (Coefficient, m) は，式 (4.9), (4.10) で与えられる $\Delta V_R, \Delta V_{AS\max}$ に関し，そのRAMが動作範囲を保証されている外部条件（電源電圧，温度，外部信号のタイミング）で動作するための必要条件， $\Delta V_R > \Delta V_{AS\max}$ を得るための標準使用条件 ($T_a = 20^\circ\text{C}$, $V_{DD} = 7\text{V}$, $V_{BB} = -2\text{V}$) における ΔV_R と $\Delta V_{AS\max}$ の比を表わしている。ここで， T_a は温度， V_{BB} は Si 基板電位を表わす。本論文では，MOS(D)RAMの動作マージンを考え合わせて， $V_{BB} = -2\text{V}$ のとき $V_{DD} = 3.5\text{V} \sim 10\text{V}$, $T_a = 0^\circ\text{C} \sim 70^\circ\text{C}$ を外部条件とした。図 4-2.1 は， V_{th} , β_0 , C_j (接合容量， C_D を決定する容量で $C_j \approx C_b$ と近似，Junction capacitance) の電圧 (V_{DD} , V_R : 接合の逆バイアス電圧) 依存性を示す。 V_{th} , β_0 , C_j の電圧依存性だけを考慮し， $\Delta V_{AS\max}$ に対する $2 \cdot \Delta V_{th}$ と他の項の寄与率が $V_{DD} = 7\text{V}$ で等しいとき， $V_{DD} = 3.5\text{V}$ で $\Delta V_R = \Delta V_{AS\max}$ が成り立つためには， $m = 2.3$ が必要である。図 4-2.2 は， V_{th} , β_0 , C_j の温度依存性を示す。パラメータの温度特性より，標準電源電圧条件で標準温度に対する 70°C の m は 1.2 である。従って式 (4.9), (4.10) を与えている V_{th} , β_0 , C_b の電圧，温度依存性を考慮すると，MOS(D)RAMの温度，電源電圧条件を満足させるためには， m は約 3 以上の値に設計する必要がある。

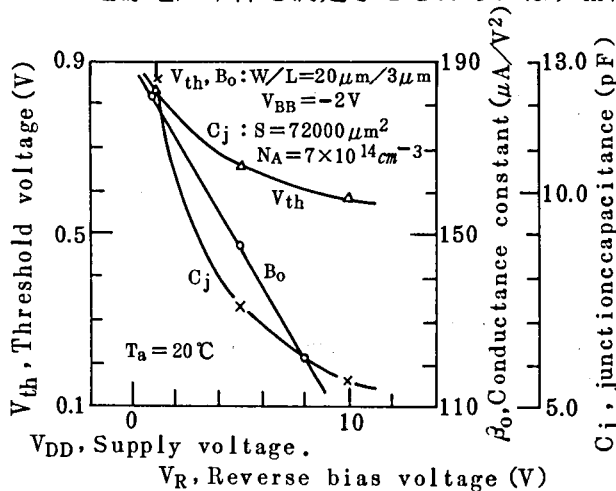


図 4-2.1 パラメータの電圧依存性

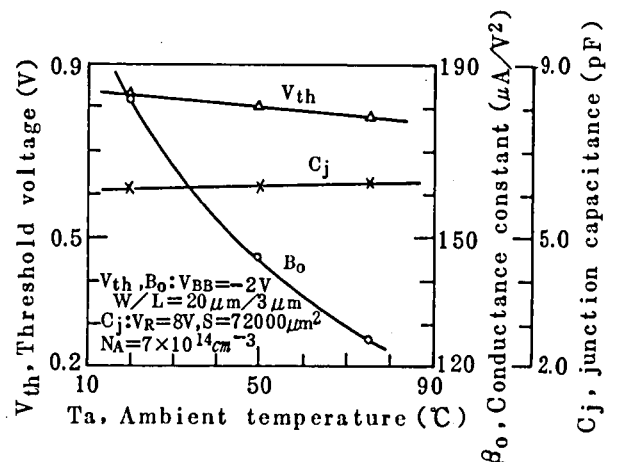


図 4-2.2 パラメータの温度依存性

4.4.2 デバイスパラメータのバラツキ

V_{th} , β_0 , C_b のバラツキが生じる原因としては、微細加工精度のバラツキと半導体表面近傍の正孔、電子濃度、及び表面準位のバラツキ、さらにレイアウトに起因したマスク合せずれの三点が考えられる。第2のバラツキは、製造条件が決まれば一定値に抑えられ、第3のバラツキはマスク合せずれに対してレイアウト上の工夫をしているので、本論文では第1のバラツキだけに注目した。

閾値電圧は、Yau の短チャンネル効果のモデル⁽³²⁾ を用いると次のように書ける。

$$V_{th} = \frac{t_{ox}}{\epsilon_{ox}} [-Q_{eff} + \sqrt{2\epsilon_{si} q N_A (2\phi_F + |V_{BB}|)}] + \Delta W_f + 2\phi_F - \frac{x_j}{L} \cdot \frac{t_{ox}}{\epsilon_{ox}} \cdot \sqrt{2\epsilon_{si} q N_A (2\phi_F + |V_{BB}|)} \times \left[\sqrt{1 + \frac{2}{x_j} \cdot \frac{\sqrt{2\epsilon_{si}}}{\sqrt{q N_A (2\phi_F + |V_{BB}|)}}} - 1 \right] \quad (4.12)$$

ここで、 t_{ox} , ϵ_{ox} はそれぞれゲート酸化膜の厚さと誘電率、 N_A , ϵ_{si} はそれぞれ Si 基板の不純物濃度と誘電率、 q は電子の電荷、 Q_{eff} は実効的な酸化膜と Si 基板界面の電荷、 $2\phi_F$ は $V_{BB} = 0V$ で強反転となるときの Si 基板表面のバンドの曲がり、 ΔW_f はゲート金属と Si 基板の仕事関数差、 x_j はソース・ドレインの拡散層の深さ、 L は MOST のチャンネル長である。 V_{th} のバラツキを誘起するパラメータは、 t_{ox} , L であり、 V_{th} のバラツキ ΔV_{th} は次のように表わすことができる。

$$\Delta V_{th} = \frac{\partial V_{th}}{\partial t_{ox}} \cdot \Delta t_{ox} + \frac{\partial V_{th}}{\partial L} \cdot \Delta L \quad (4.13)$$

従って、 ΔV_{th} は具体的に次式で与えられる。

$$\Delta V_{th} = \frac{\Delta t_{ox}}{t_{ox}} (V_{th} - \Delta W_f - 2\phi_F) - \frac{\Delta L}{L} (V_{th} - V_{th \text{ long}}) \quad (4.14)$$

$V_{th \text{ long}}$ は、短チャンネル効果を起こさない長チャンネル MOST の閾値電圧であり、次式で与えられる。

$$V_{th \text{ long}} = \frac{t_{ox}}{\epsilon_{ox}} [-Q_{eff} + \sqrt{2\epsilon_{si} q N_A (2\phi_F + |V_{BB}|)}] + \Delta W_f + 2\phi_F \quad (4.15)$$

また、コンダクタンス定数 β_0 は次式で与えられる。

$$\beta_0 = \frac{W}{L} \cdot \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (4.16)$$

ここで、 W はセンス回路に使用したフリップフロップ用 MOS (D) RAM のチャンネル幅、 μ_n は電子移動度である。 β_0 のバラツキを誘起するパラメータは、 L 、 t_{ox} であり、 β_0 のバラツキ $\Delta\beta_0$ は次式で与えられる。

$$\Delta\beta_0 = \beta_0 \left(-\frac{\Delta L}{L} - \frac{\Delta t_{ox}}{t_{ox}} \right) \quad (4.17)$$

ビット線に N^+ 拡散層を用いた MOS (D) RAM のビット線容量の主な成分は、Si 基板、及び分離用 P^+ 拡散層とビット線 N^+ 拡散層による接合容量であり、 C_b は次式で近似できる。

$$C_b \approx \sqrt{\frac{\epsilon_{si} q N_A}{2(V_R + 2\phi_F)}} \cdot \ell \cdot (w + 2 \cdot \sqrt{\frac{N_{AI}}{N_A}} \cdot x_j) \quad (4.18)$$

ここで、 ℓ はビット線の長さ、 w はビット線の幅、 N_{AI} は分離用 P^+ 拡散層の不純物濃度、 V_R は接合の逆バイアス電圧である。 C_b のバラツキを誘起するパラメータは w であり、 C_b のバラツキ ΔC_b は次式で与えられる。

$$\Delta C_b = \left[C_b - 2 \cdot \sqrt{\frac{\epsilon_{si} q N_{AI}}{2(V_R + 2\phi_F)}} \cdot \ell \cdot x_j \right] \cdot \frac{\Delta w}{w} \quad (4.19)$$

このように、センス回路の感度を決定するパラメータのバラツキは、長さの単位をもつパラメータの LSI 製造時の加工精度に起因するバラツキで表現できる。

4.4.3 微細パターン製造技術を用いたダイナミック RAM の設計理論

MOS (D) RAM を安定動作させるためには、製造技術の習熟度によらず式 (4.11) が満足されなければならないので、時間の因子 (タイミング) を考慮しないとき、式 (4.11) がセンス回路設計の必要十分条件となる。

本章では、高集積 MOS LSI の高性能化に対する指導原理 (スケーリングの理論)⁽²²⁾ に従って加工精度のバラツキが短チャンネル MOS T を用いた微細パターン製造技術によってスケールダウンされる場合と、されない場合に分けて、 ΔV_{th} 、 $\Delta\beta_0$ 、 ΔC_b を検討した結果を述べる。スケーリング定数 (Scaling constant) k は、現在商用に供されている 16K MOS (D) RAM に用いられている設計基準を $1 (\sim 6 \mu m)$ とした。さらに、微細パターン製造技術を用いた大容量 MOS (D) RAM における式(3)の関係についてビット線当りのメモリセル数を 64 個に固定した場合と、ビット線当りのメモリセル数がスケーリング定数に比例して増す場合に分けて、検討した結果について述べる。また、その結果を 64K MOS (D) RAM に対応させ、ビット線に 64 個の

メモリセルを接続した。いわゆる128リフレッシュ方式とビット線に128個のメモリセルを接続した256リフレッシュ方式の比較検討結果について述べる。

(a) 加工精度のバラツキがスケールダウンされない場合

加工精度のバラツキが微細加工の程度によっても変化しない場合、 $\Delta V_{th}'$, $\Delta \beta_0'$, $\Delta C_b'$ (添字'は加工精度のバラツキがスケールダウンされない場合を表わす) は、それぞれ(12)~(14)となる。MOS(D)RAMの記憶時間に影響を与えるMOSTのテール電流が、スケーリングの理論からはずれるため⁽²²⁾、実際のMOS(D)RAMの設計においては、閾値電圧を低くできないので⁽³³⁾、スケーリングの理論を修正し、閾値電圧はスケールダウンしないものとした。

$$\Delta V_{th}' = \frac{\Delta t_{ox}}{t_{ox}/k} (V_{th} - \Delta w_f - 2\phi_F) - \frac{\Delta L}{L/k} (V_{th} - V_{th \text{ long}}) = k \cdot \Delta V_{th} \quad (4.20)$$

$$\Delta \beta_0' = k \cdot \beta_0 \left(-\frac{\Delta L}{L/k} - \frac{\Delta t_{ox}}{t_{ox}/k} \right) = k^2 \cdot \Delta \beta_0 \quad (4.21)$$

$$\Delta C_b' = [C_b/k - \sqrt{\frac{\epsilon_{Si} q \cdot k \cdot N_{AI}}{2(V_R/k + 2\phi_F)}} \cdot \ell/k \cdot x_j/k] \cdot \frac{\Delta w}{w/k} = \Delta C_b \quad (4.22)$$

ここで、 ΔV_{th} , $\Delta \beta_0$, ΔC_b は $k=1$ のときのバラツキを示す。また $\Delta V_{AS \max}$, ΔV_R も $k=1$ のときのセンス回路の感度、読み出し電圧を示す。

① ビット線当りのメモリセル数を64個に固定した場合(128リフレッシュ方式の64K MOS(D)RAMに相当)

ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき、メモリセルの記憶容量は次式となる。

$$C'_S = C_S/k \quad (4.23)$$

従って、スケールダウン後の読み出し電圧 $\Delta V'_R$ は次式となる。

$$\Delta V'_R = \frac{(V_{DD}/k - V_{th})}{2 \cdot (C_b/k) / (C_S/k)} \approx \Delta V_R/k \quad (4.24)$$

一方、センス回路のフリップフロップソース端下降速度 k は、スケールダウンされないので $\Delta V_{AS \max}$ は次式で表わせる。

$$\begin{aligned}\Delta V_{AS\max}' &= \sqrt{\frac{2 \cdot \alpha \cdot K \cdot (C_b/k)}{k \cdot \beta_0}} \left(\frac{\Delta C_b}{C_b/k} + \frac{k^2 \cdot \Delta \beta_0}{k \cdot \beta_0} \right) + 2k \cdot \Delta V_{th} \\ &= \Delta V_{AS\max} + 2 \cdot \Delta V_{th} (k-1)\end{aligned}\quad (4.25)$$

式(4.24), (4.25)より係数 m' は次式で与えられる。

$$m' = k^{-1} \cdot \frac{\Delta V_R}{\Delta V_{AS\max} + 2 \cdot \Delta V_{th} (k-1)} \quad (4.26)$$

- ② ビット線当りのメモリセル数がスケーリング定数と共に増す場合(256リフレッシュ方式の64KMOS(D)RAMに相当)

スケーリング定数に比例してビット線当りのメモリセル数が増し、かつ、デバイスパラメータがスケールダウンされた場合には、ビット線容量は次式となる。

$$C_b' \approx \sqrt{\frac{\epsilon_{si} q \cdot k \cdot N_A}{2(V_R/k + 2\phi_F)}} \cdot \frac{k \cdot \ell}{k} \cdot (w/k + 2 \cdot \sqrt{\frac{k \cdot N_{AI}}{k \cdot N_A}} \cdot x_j/k) \approx C_b \quad (4.27)$$

従って、加工精度のバラツキがスケールダウンされる場合には、 $\Delta C_b'$ は次式となる。

$$\Delta C_b' = k \cdot \Delta C_b \quad (4.28)$$

このとき、 $\Delta V_R'$, $\Delta V_{AS\max}'$, m' はそれぞれ式(4.29)~(4.31)で与えられる。

$$\Delta V_R' = \frac{(V_{DD}/k - V_{th})}{2 \cdot C_b / (C_s/k)} \approx \frac{\Delta V_R}{k^2} \quad (4.29)$$

$$\Delta V_{AS\max}' = \sqrt{k} [\Delta V_{AS\max} + 2 \cdot \Delta V_{th} (\sqrt{k} - 1)] \quad (4.30)$$

$$m' = k^{-\frac{5}{2}} \cdot \frac{\Delta V_R}{\Delta V_{AS\max} + 2 \cdot \Delta V_{th} (\sqrt{k} - 1)} \quad (4.31)$$

- (b) 加工精度のバラツキがスケールダウンされる場合

微細パターン製造技術で、加工精度のバラツキがスケールダウンされる場合には、 $\Delta V_{th}''$, $\Delta \beta_0''$, $\Delta C_b''$ (添字''は加工精度のバラツキがスケールダウンされる場合を示す)は、それぞれ式(4.32)~(4.34)で表わせる。

$$\Delta V_{th}'' = \Delta V_{th} \quad (4.32)$$

$$\Delta\beta_0'' = k \cdot \Delta\beta_0 \quad (4.33)$$

$$\Delta C_b'' = \Delta C_b / k \quad (4.34)$$

- ① ビット線当りのメモリセル数を64個に固定した場合(128リフレッシュ方式の64K MOS(D)RAMに相当)

ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき、 $\Delta V_{ASmax}''$ は次式で与えられる。

$$\begin{aligned} \Delta V_{ASmax}'' &= \sqrt{\frac{2 \cdot \alpha \cdot K \cdot (C_b/k)}{k \cdot \beta_0}} \left(\frac{\Delta C_b/k}{C_b/k} + \frac{k \cdot \Delta\beta_0}{k \cdot \beta_0} \right) + 2 \cdot \Delta V_{th} \\ &= k^{-1} [\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)] \end{aligned} \quad (4.35)$$

このとき、 m'' は式(4.24)、(4.25)より次式で与えられる。

$$m'' = \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)} \quad (4.36)$$

- ② ビット線当りのメモリセル数がスケーリング定数と共に増す場合(256リフレッシュ方式の64K MOS(D)RAMに相当)

スケーリング定数に比例して、ビット線当りのメモリセル数が増し、かつ、デバイスパラメータがスケールダウンされる場合には、 $\Delta C_b''$ は次式となる。

$$\Delta C_b'' = \Delta C_b \quad (4.37)$$

このとき、 $\Delta V_{ASmax}''$ は次式で表わせる。

$$\Delta V_{ASmax}'' = k^{-\frac{1}{2}} [\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k}-1)] \quad (4.38)$$

また、 m'' は式(21)、(30)から次のように表わせる。

$$m'' = k^{-\frac{3}{2}} \cdot \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k}-1)} \quad (4.39)$$

- (c) 64KダイナミックRAMのリフレッシュ方式の検討

デバイスパラメータをスケールダウンしたときの係数 m' 、 m'' をスケーリング定数 k と $k=1$ におけるMOS(D)RAMの ΔV_R 、 ΔV_{ASmax} 、 ΔV_{th} で表わすことができた。 $k=$

1 (16 K MOS (D) RAM) で $\Delta V_R = 270 \text{ mV}$, $\Delta V_{AS \text{ max}} = 25 \text{ mV}$, $\Delta V_{th} = 8 \text{ mV}$ が実測されたので、スケールダウン後の係数 m' , m'' は、加工精度のバラツキがスケールダウンされない場合と、スケールダウンされる場合で、それぞれ図 4-24, 図 4-25 に表わすことができる。図 4-21 は、加工精度のバラツキがスケールダウンされず、ビット線当りのメモリセル数を 64 個に固定した場合には、 $k = 2$ で $m' = 3.3$ であり、MOS (D) RAM の外部使用条件を満足させられる限界 ($m \approx 3$) に近い m' しか得られないことを示している。また、図 4-25 は、加工精度のバラツキがスケールダウンされ、ビット線当りのメモリセル数が増す場合には、 $k = 2$ の微細パターンを用いた MOS (D) RAM では、外部使用条件を満足させられる限界に近い m'' しか得られないことと、メモリセル数を 64 個に固定した場合には、 $k = 2$ で $m'' = 6.6$ が得られるので、広い動作領域の MOS (D) RAM の製造が可能であることを示している。

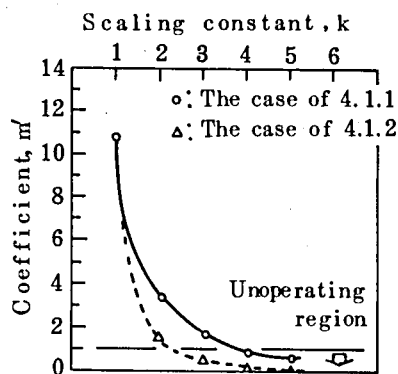


図4-24 係数 m' のスケーリング定数依存性

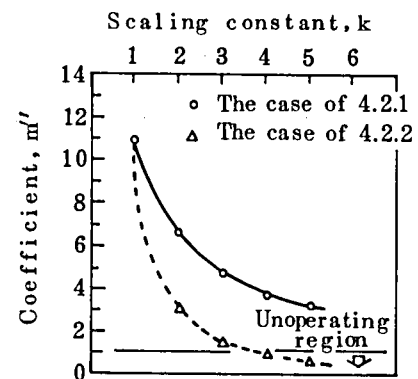


図4-25 係数 m'' のスケーリング定数依存性

したがって、ビット線当りのメモリセル数が 128 個の場合 (256 リフレッシュ方式の 64 K MOS (D) RAM に相当) には、バラツキがスケールダウンされる場合に限り、十分注意した設計をすることによって広い動作領域の 64 K MOS (D) RAM の製造が可能である。一方、ビット線当りのメモリセル数が 64 個の場合 (128 リフレッシュ方式の 64 K MOS (D) RAM に相当) には、バラツキがスケールダウンされる場合、されない場合共に注意を払った設計をすることによって広い動作領域の 64 K MOS (D) RAM の製造が可能であることがわかる。

4.4.4 64K ダイナミックRAMの設計指針

4.4.3の検討結果より、加工精度のバラツキがMOS(D)RAMの性能に大きな影響を与えることがわかった。スケーリング定数 k を16K MOS(D)RAMに相当するパターン技術に対して、 $k=1$ とし、64K MOS(D)RAMに相当する微細パターン技術に対して $k=2$ としたときに、同一製造条件で作成した多数の試料により調べたパラメータの実測値を表4-3に示す。表中の添字 e は実測値を意味している。 N_A は、 $k=1, 2$ に対して変化させていないが、閾値電圧の制御はMOSTのチャンネル部へのイオン注入によって行なった。表4-3は $k=2$ の微細パターン製造技術を用いたとき、加工精度のバラツキが $k=1$ の製造技術に比べて縮小されず、バラツキの絶対値がほとんど変化しないことを示している。この結果は前節で述べた理論的解析に対応すると考えられ、64K MOS(D)RAMでは、ビット線当りのメモリセル数を64個にしなければ動作領域の広いMOS(D)RAMの設計、製造が困難なことを示している。

また、表4-3に示したバラツキから式(4.14)、(4.17)、(4.19)を用いて計算した ΔV_{the} 、 $\Delta \beta_{oe}$ 、 ΔC_{be} と ΔV_{the} 、 $\Delta \beta_{oe}$ の実測値との対応を表4-4に示す。 ΔV_{the} 、 $\Delta \beta_{oe}$ は $k=2$ に相当する微細パターンの場合に、 $k=1$ に相当する場合に比べてバラツキの絶対値が大きくなっている。計算値と実測値の差は、計算式に用いたMOSTのモデルが実際のデバイスと厳密に一致していないことと、表4-3に示したように、必ずしもデバイスパラメータがスケーリング定数 k に比例していないためである。

表4-3 パラメータの実測値(カッコ内は平均値)

スケーリング定数	Δt_{oxe} (Å)	ΔL_e (μm)	Δw_e (μm)	N_{Ac} (cm^{-3})	x_{je} (μm)
$k=1$ (16K MOS(D)RAM)	18.2 (852)	0.144 (5.67)	0.205 (4.88)	7×10^{14}	1.2
$k=2$ (64K MOS(D)RAM)	16.6 (517)	0.197 (3.12)	0.252 (3.16)	7×10^{14}	0.5

このように微細パターンの程度と共に加工精度のバラツキがスケールダウンできないことは、大容量MOS(D)RAMの集積度向上に対する制限項目の一つと考えられ、加工精度の向上が大容量MOS(D)RAMの動作領域を広め、安定動作させるための重要な項目の一つであることがわかる。以上の検討結果より、64K MOS(D)RAMの設計に当って、式(4.11)を満足させるため、

表 4-4 ΔV_{th} , $\Delta \beta_{oe}$, ΔC_{be} の実測値と計算値

スケーリング定数		ΔV_{th} (V)	$\Delta \beta_{oe}$ ($\mu A/V^2$)	ΔC_{be} (pF)
k=1 (16K MOS(D)RAM)	実測値	0.07 (1.075)	22.2 (360.9)	— (0.857)
	計算値	0.023	-17.0	0.021
k=2 (64K MOS(D)RAM)	実測値	0.104 (0.815)	58.8 (368.5)	— (0.305)
	計算値	0.041	-34.0	0.014

(カッコ内は平均値)

次の対策を講じる必要がある。

- (1) メモリセルへの書き込み電圧がスケールダウンされない。
- (2) ビット線当りのメモリセル数が増えない。(ビット線容量を減らす)
- (3) メモリセルの単位面積当りの容量を増やす。
- (4) センス回路のフリップフロップソース端の電位下降速度を遅くする。
- (5) フリップフロップMOSTの β_o を大きくする。

4.4.5 64KダイナミックRAMの設計

4.4.4で求めた設計指針を基に、微細パターン製造技術を用いた64K MOS(D)RAMを設計した。センス回路は図4-20に示したように、フリップフロップMOSTと、ビット線とセンス回路をセンス時に高インピーダンス状態にして切り離すためのMOSTによって構成した。設計指針の5項目について、64K MOS(D)RAMの設計では以下の方法による対策をとった。(1)に対しては、 $L=3\mu m$ のMOSTのソース・ドレイン間耐圧が15Vであり、 $V_{DD}=7V$ として $k=2$ より算出される電源電圧($k=1$ のとき $V_{DD}=12V$)より大きな値を用いることによって、メモリセルへの書き込み電圧がスケールダウンされないようにした。(2)に対しては、ビット線当りのメモリセル数を64個とし、16K MOS(D)RAMの場合と同一にした。(3)に対しては、新構造のメモリセルを用いず、16K MOS(D)RAMの製造工程に従ってデバイスパラメータをスケールダウンして用いたので、メモリセルは、ビット線が長くないようにワード線方向に対して長くとり、記憶容量を増した。(4)に対しては、 $\Delta V_{AS\max}$ を小さくするため、センス回路のソース端下降速度を遅くした。計算機シミュレーションの結果を図4-26に実線で示す。破線

は Lynch ら⁽³⁴⁾ によって、高電位となるべき側のビット線電位が下降しない条件により求めたダイナミック形センス回路の理想的な下降曲線を表わす式を用いて計算した波形である。(5)に対しては、フリップフロップ MOST のコンダクタンス定数をビット線容量の大きさを考慮して許容できる限り大きくし、 $W=40\mu\text{m}$ とした。また、図 4-27 より MOST のチャンネル長(Channel length) が短くなるに従って、 ΔV_{th} が大きくなるためセンス回路のフリップフロップ MOST は $L=4\mu\text{m}$ で設計し、 ΔV_{th} を極力小さくする方法をとった。

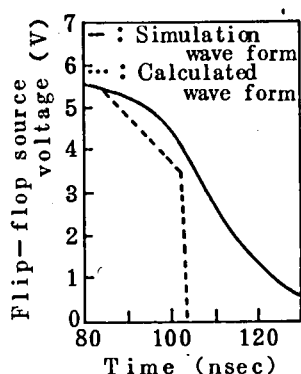


図 4-26 センス回路のシミュレーション波形

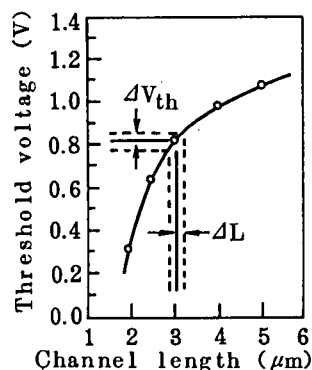


図 4-27 V_{th} のチャンネル長依存性

図 4-28 は設計した 64K MOS (D) RAM の回路ブロック図である。2つの 32k ビットブロックで構成されている。

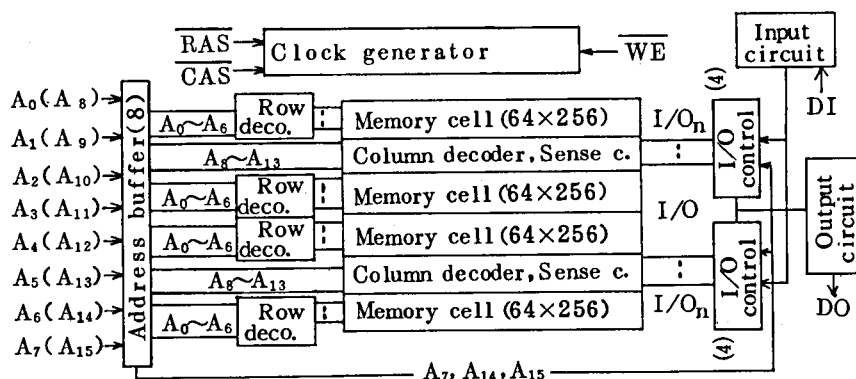


図 4-28 回路ブロック図

4.4.6 64K ダイナミックの試作結果

試作した 64K MOS (D) RAM のチップ写真を図 4-29 に示す。

図 4-30 は試作した 64K MOS (D) RAM のマーチのテストパターンによる $V_{DD}-V_{BB}$ の動作領域を示している。標準電源電圧条件 ($V_{BB}=-2V$) の V_{DD} 下限電圧は、3.8V である。また、

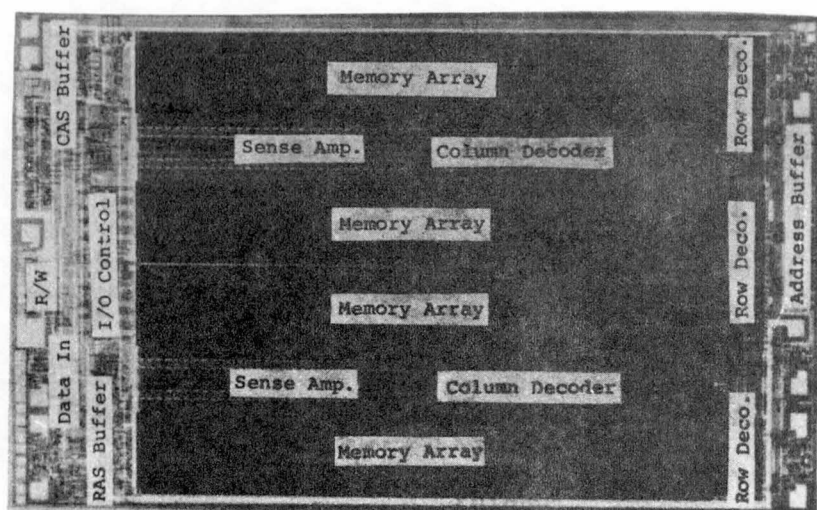


図 4-29 チップ写真

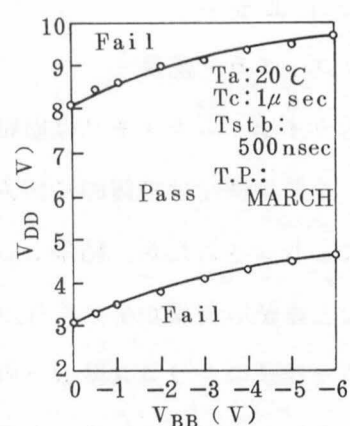


図4-30 $V_{DD}-V_{BB}$ 電圧マージン図

上限は 9 V である。これらの上，下限はセンス回路でなく，周辺回路の動作限界によって決定されていると考えられるので，この点を改良すれば，十分動作領域の広い 64K MOS(D) RAM を得ることができる。また 70°C においても，図 4-30 とほぼ同一の動作領域が得られた。試作した 64K MOS(D) RAM では， $\Delta V_R = 185 \text{ mV}$ ， $\Delta V_{AS\max} = 26 \text{ mV}$ が実測され，このとき $m = 7.1$ である。この値は図 4-24 より得られる $m' = 3.3$ の約 2 倍であり，本論文で示した設計指針に従って設計した結果であると言える。m 値を大きくできたため，動作電圧下限の広い 64 K MOS(D) RAM が試作できたと考えられる。試作した 64 K MOS(D) RAM の性能一覧を表 4-5 に示す。

表 4-5 64K MOS(D) RAM の性能一覧

製 造 技 術	n チャンネルシリコンゲート ダブルポリシリコン
ワード構成	64K ワード×1 ビット
パ ッ ケ ー ジ	16 ピン，300 ミル DIP
電 源 電 圧	7V，-2V
動 作 電 流	30mA ($T_c = 350 \text{ nsec}$)
スタンバイ電流	2mA
RAS アクセス時間	160 nsec
CAS アクセス時間	100 nsec
サイクル時間 (T_c)	350 nsec
リフレッシュ方式	128 サイクル / 2 m sec
チップサイズ	4.28 mm × 6.92 mm
セルサイズ	10 μm × 19 μm
入出力レベル	TTL

4.5 ソフトエラー

4.5.1 ソフトエラー現象

MOS形ダイナミックメモリは微細化およびセンスアンプの感度向上を可能にした回路設計技術により、その集積度は飛躍的に増大してきた。この高集積化は主として記憶セル面積を小さくすることによりなされたが、結果としてメモリセルに蓄積される記憶電荷量の低下をもたらすことになった。蓄積電荷量が小さくなりすぎると、パッケージ材料などに含まれる放射性物質から放出される α 粒子のシリコン基板への入射で生成される電子-正孔対による雑音により、メモリの情報破壊を起こすことになる。この現象は、ソフトエラーと呼ばれ、16KビットダイナミックRAMではメモリセルの蓄積電荷量が、 α 粒子によるノイズ量より十分大きくできるため、大きな問題とならなかったが、64KビットダイナミックRAMでは記憶セル面積の縮小と共に、電源電圧も16KビットRAMの12V、-5V系から5V単一電源に低電圧化されるため、蓄積電荷量は一層小さくなり、ソフトエラーは深刻な問題となる。スケーリング則に基ずき、微細化により高集積化、高性能化を果してきたMOSダイナミックRAMに対する大きなアンチテーゼの出現であり、回路、デバイス、プロセス、更にはアセンブリ技術など、各々の面からの総合的検討とブレークスルーが必要であり、この問題を解決しない限り、更に大きな発展はあり得ない。

ここでは、64KビットダイナミックRAMを例にとり、ソフトエラーに対する重要な因子である臨界電荷量について検討し、次にソフトエラー率改善について行った種々の実験結果から改善策を述べる。

ソフトエラー対策として、チップそのものを α 線に対して強くする方向と、チップを α 線から遮断する方向の2つがあるが、原則は飽くまでチップ自身を強化することであり、ここでは前者についての実験結果のみについて述べる。

4.5.2 臨界電荷量の計算

そのデバイスがソフトエラーを起こし易いか否かは、臨界電荷量によって知ることができる。即ち、 α 粒子による発生電荷量が、“H”と“L”を識別する電圧に相当する電荷量より大きくなる時、ソフトエラーが発生する。

リフレッシュ不良もソフトエラーとよく似た現象で、空乏層内の発生電流による電子の発生量がポテンシャルウェルを埋めて、“H”状態が“L”状態と区別できなくなってエラーとなる。

したがって、臨界電荷量はとくに新しい概念ではないが、この量が何の関数で、どの程度の大
きさであるかを知るのは対策を進める上で重要である。この臨界電荷量は電荷中和則から導出で
きる。

ここに検討する64K(D)RAMにおいては、ビットラインのプリチャージ電圧は V_{cc} で、ワ
ードラインは後述のようにブーストしてはいるが、読み出し時の電位は $V_{cc}+V_{th}$ (V_{th} は約2
V)以上にはなっていない。

下図はRAMのセンスアンプ周辺の等価回路図を示すものである。

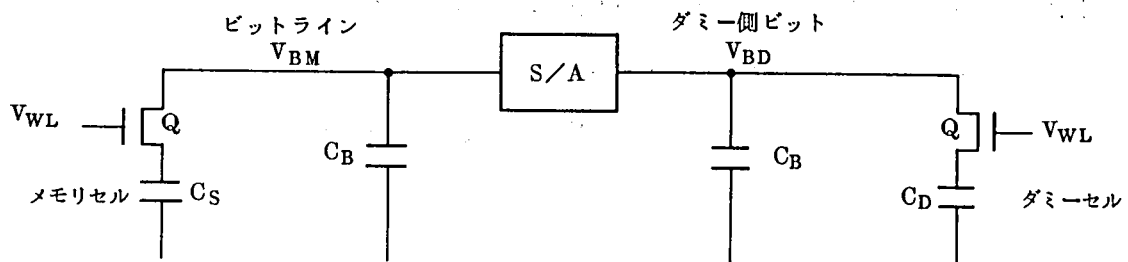


図4-31 センスアンプ周辺の等価回路図

記号を下のように定める。(読み出し後はその記号にダッシュをつける)

$V_{BM, BD}$; メモリセル, ダミー側ビットライン電位	C_B	; ビットライン容量
V_M	; メモリセル電位	C_S	; メモリセル容量
V_D	; ダミーセル電位	C_D	; ダミーセル容量
V_{th}	; トランスファゲート TrQ の V_{th}		
V_{WL}	; ワードラインの電位		

ソフトエラーは、 α 線がメモリセルに当たって起こる場合と、ビットラインに当たって起こる場
合があるが、臨界電荷量で議論する際には、前者は後者に含まれた形で扱うことができる。ビッ
トラインに当たる場合に、二つの場合が考えられる。即ち(1)メモリセルに“H”の情報が書き込
まれていて、読み出し後、そのビットラインに α 線が当たり、ダミー側の電位より下って、“H”
→“L”エラーをひき起こす場合と、(2)メモリセルに“L”の情報が書き込まれていて、読み出
し後ダミー側のビットラインに α 線が当たり、ダミー側のビットラインの電位がメモリ側の電位
より下がって、“L”→“H”エラーをひき起こす場合である。それぞれの場合に臨界電荷量
 Q_{crit} を計算する。

- (1) メモリセルが“H”でメモリセル側のビットラインに α 線が当たった場合

ビットラインに α 線が当たって、 Q という電荷が発生するものとする。読み出し前後の電荷中和則から

$$\begin{cases} C_B V_{BM} + C_S V_M = C_B V_{BM}' + C_S V_M' + Q & (4.40) \\ C_B V_{BD} + C_D V_D = C_B V_{BD}' + C_D V_D' & (4.41) \end{cases}$$

開発した64K RAMの回路設計では、ビットラインのプリチャージ電圧 V_{BM} , V_{BD} は V_{CC} にしている。また、ワードラインは書き込み、読み出し時ともにプリチャージ電位以上になっている。また、ダミーセルの初期値 $V_D = 0$ である。

即ち、式(4.40), (4.41)において

$$V_{BM} = V_{BD} = V_{CC}, \quad V_M = V_M' = V_{WL} - V_{th}, \quad V_D = 0$$

を代入すると、

$$\begin{cases} C_B V_{CC} + C_S (V_{WL} - V_{th}) = C_B V_{BM}' + C_S (V_{WL} - V_{th}) + Q & (4.42) \\ C_B V_{CC} = C_B V_{BD}' + C_D (V_{WL} - V_{th}) & (4.43) \end{cases}$$

メモリ側のビットラインの電位 V_{BM}' とダミーセル側の電位 V_{BD}' の差がセンスアンプの感度 ΔV_{SA} より小さくなる時の Q が Q_{crit} であるから式(4.42), (4.43)より

$$Q_{crit}(H \rightarrow L) = C_D (V_{WL} - V_{th}) - C_B \Delta V_{SA} \quad (4.44)$$

- (2) メモリセルが“L”で、ダミーセル側のビットラインに α 線が当たった場合

この場合、 $V_M = V_D = 0$, $V_{BM} = V_{BD} = V_{CC}$, $V_M' = V_D' = V_{WL} - V_{th}$ であるから、式(4.40), (4.41)は次のように書ける。

$$C_B V_{CC} = C_B V_{BM}' + C_S (V_{WL} - V_{th}) \quad (4.45)$$

$$C_B V_{CC} = C_B V_{BD}' + C_D (V_{WL} - V_{th}) + Q \quad (4.46)$$

式(4.45), (4.46)より

$$Q_{crit}(L \rightarrow H) = (C_S - C_D) (V_{WL} - V_{th}) - C_B \Delta V_{SA} \quad (4.47)$$

式(4.44),(4.47)より次のことが言える。

1. Q_{crit} はワードラインの読み出し電圧に比例して大きくなる。したがって、読み出し電圧を大きくすることが有効である。
2. また、 Q_{crit} はメモリセル容量、ダミーセル容量に比例する。
しかし、ダミーセルだけが大さいと $H \rightarrow L$ エラーは減少するが、 $L \rightarrow H$ エラーに対する Q_{crit} は逆に小さくなるので、ダミーセル面積を適切に選ぶ必要がある。
3. Q_{crit} は、ビットライン容量にセンスアンプの感度を乗じた量だけ減少する。したがって、両者とも小さい方が当然のことではあるが望ましい。
4. トランスファゲートの V_{th} に相当する量が読み出し電圧より差し引かれるので、トランスファゲートの V_{th} は低く抑える必要がある。

上記の知見にしたがって、種々のソフトエラー対策を行った。

16K RAM と 64K RAM の臨界電荷量の比較を表 4-6 に示す。

表 4-6 16K/64K(D)RAMの臨界電荷量の比較

	V_{CC}	V_{WL}	C_s	Q_{crit}	
16K RAM	12V	~12V	0.0406pF	0.142pC	
64K RAM (対策なし)	5V	~5V	0.036	0.054	
64K RAM (対策後)	5V	6V	0.0476	0.095	

上表にみるように、対策のしていない 64K RAM の Q_{crit} は 16K RAM の $1/3$ 程度しかない。後のソフトエラー対策のところで詳しく説明するが、ソフトエラー対策(ブーステッドワードライン, Hi-C)によって 64K RAM の Q_{crit} は約 1.8 倍と大幅に増大し、ソフトエラーの改善と同時に、動作マージンも拡大することができた。

しかし、16K RAM と較べると、約 $2/3$ の Q_{crit} しかなく、同じくソフトエラー対策のところで述べるが、最終的にはチップコートをして目標を達成する必要がある。

4.5.3 ソフトエラーの発生モード

α 線は高エネルギーのヘリウム原子核であり、+2価の正電荷を帯びているために、物質との相互作用が極めて強く、物質中に入射すると強い電離作用によって、その経路に多数の電子-正孔対を生成する。パッケージ（フタも含む）中に存在している極微量のウラン、トリウムから放出される α 線は $0.1 \alpha / \text{cm}^2 \cdot \text{hour}$ 程度であり、そのエネルギーは3～8 MeV に分布し、5 MeV 付近にピークをもつ。1対の電子-正孔対を生成するのに必要とされるエネルギーは、 α 線の入射エネルギーにはほとんど依存せず、シリコンの場合は約3.6 eV である。例として5 MeV の α 線が入射した場合には、 $5.0 \times 10^6 / 3.6 = 1.4 \times 10^6$ 個の電子-正孔対が生成されることになる。

Nチャンネル型 MOS デバイスの場合には、生成された電子-正孔対の内、電子は表面の N^+ 領域に収集され、正孔は P^- 型のバルクに吸収されてしまう。表面の N^+ 領域は、メモリセルのキャパシタ及びビット線として使われており、それまで電子を蓄積していなかった N^+ 領域に電子が注入されると、この N^+ ノードの電位を下げ、誤動作、すなわち、ソフトエラーを引き起こす。

次に、64 K (D) RAM におけるソフトエラーの発生モードについて詳しく説明する。

図4-32に、検討を行った64 K (D) RAMのセンスアンプ周辺の基本回路を示す。

図中、矢印で示した場所がソフトエラーの発生する原因となる場所である。

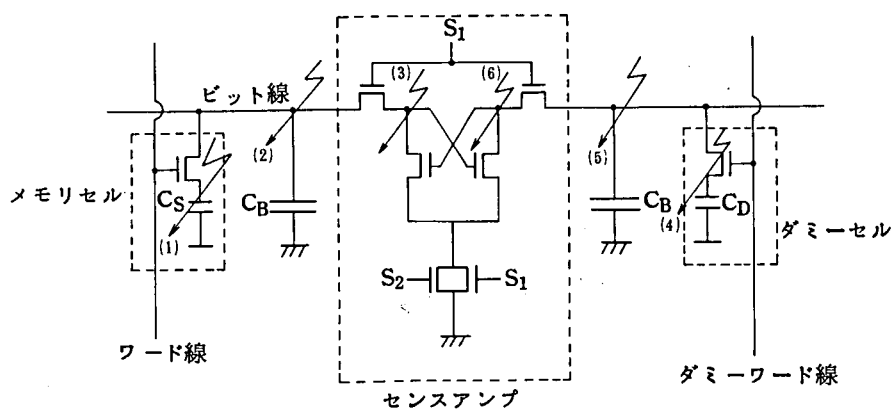


図4-32 64K ダイナミックRAMの基本回路

ワード線及びダミーワード線の電位を高くしてメモリセル及びダミーセルの電荷をビット線に読み出す。ダミーセルはメモリセルの約 $1/2$ の面積をもち、かつ常に V_{SS} に充電されているので、ダミーセル側のビット線の電位はメモリセル側のビット線の“H”、“L”状態に対応する電位のほぼ中央の値となっている。メモリセル側、及びダミーセル側のビット線は、それぞれセンスアンプのフリップフロップの一方の入力となっており、両者の電位差を検知・増幅する。

ダイナミックRAMにおけるソフトエラーの発生モードは次のように分類することができる。

(1) “H”側のメモリセルに α 線が当たった場合

“H”状態、すなわち電子を蓄積していない状態のメモリセルに α 線が当たって、過剰電子が注入され、“H”→“L”エラーを生じる。

(2) メモリセルが“H”状態のとき、メモリセル側のビット線に α 線が当たった場合

メモリセルの電荷をビット線に読み出した際に、メモリセルにつながっているビット線に α 線が当たって、“H”状態だったビット線電位がダミーセル側のビット線電位よりも低くなり、“H”→“L”エラーを生じる。

(3) メモリセルが“H”状態のとき、センスアンプ内のラッチのメモリセル側のノードに α 線が当たった場合

センスアンプのフリップフロップのラッチが決まりかけている際に、メモリセルにつながっているノードに α 線が当たって、“H”状態だったノード電位がダミーセルにつながっている“L”状態のノード電位よりも低くなり、“H”→“L”エラーを生じる。

(4) メモリセルが“L”状態のとき、ダミーセルに α 線が当たった場合

メモリセル及びダミーセルの電荷をビット線に読み出し中に、ダミーセルに α 線が当たって、“H”状態だったダミーセル側のビット線電位がメモリセル側の“L”状態のビット線電位よりも低くなり、“L”→“H”エラーを生じる。

(5) メモリセルが“L”状態のとき、ダミーセル側のビット線に α 線が当たった場合

メモリセル及びダミーセルの電荷をビット線に読み出した際に、ダミーセルにつながっているビット線に α 線が当たって、“H”状態だったダミーセル側のビット線電位がメモリセル側の“L”状態のビット線電位よりも低くなり、“L”→“H”エラーを生じる。

(6) メモリセルが“L”状態のとき、センスアンプ内のラッチのダミーセル側のノードに α 線が当たった場合

センスアンプのフリップフロップのラッチが決まりかけている際に、ダミーセルにつながっているノードに α 線が当たって“H”状態だったノード電位がメモリセルにつながっている“L”状態のノード電位よりも低くなり、“L”→“H”エラーを生じる。

以上の6つのエラーモードの内、(1)のエラーモードは、メモリセルの記憶情報自体が変化してしまっているのに対し、(2)～(6)のエラーモードは記憶情報をビット線に読み出してから、センスアンプのラッチを固定するまでの過程で生じるエラーである。以後、(1)のエラーモードをメモリセルエラー、(2)～(6)のエラーモードをビットライン／センスアンプ系、もしくは単にセンス系のエラーと呼ぶ。

ビット線の読み出し電位差の変化としてみた場合、メモリセルエラーとセンス系エラーの差を図4-33に示す。

6つのエラーモードの内、(1)のメモリセルで発生するエラーは、サイクルタイムを変化させてもエラー率が変化しないのに対し、(2)～(6)までのビットライン／センスアンプ系で発生するエラーは、サイクルタイムが短いほどエラー率が高くなるという特徴を示す。これは(2)～(6)のセンス系のエラーモードは回路動作上、ワード線の電位が高くなってメモリセル及びダミーセルの電荷がビット線に読み出されてから、センスアンプが動作してラッチが固定するまでの期間、すなわち、ビット線及びセンスアンプがフローティング状態になっている期間にのみ発生するためである。

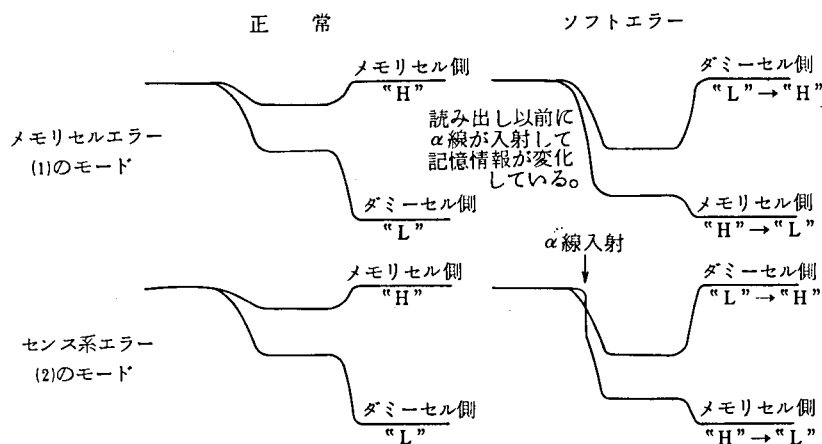


図4-33 メモリセルエラーとセンス系エラーの比較

図4-34にサイクルタイムに対するメモリセルエラー及びセンス系エラーの関係を示す。図4-34中、サイクルタイムの大きな領域でエラー率がサイクルタイムに比例して大きくなっていくのは、この領域では、1サイクル内にメモリセルに2個の α 線が入射したことによって、エラーが発生することを示している。

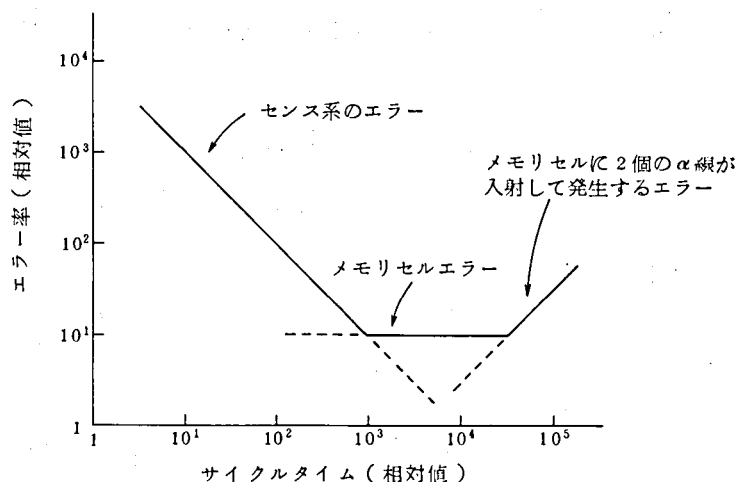


図4-34 ソフトエラーのサイクルタイム依存性

4.5.4 ソフトエラーの評価方法

ソフトエラーの評価方法としては、大きく分けて次の3つの観点からの測定が必要である。

- (1) チップ自体の α 線感度
- (2) 構成材料からの α 線放出率

以下、各々の評価方法について詳細に述べる。

チップ自体の α 線感度を評価するために、以下の3つの方法を採用した。

1. α 線源を用いた加速試験
2. メモリボードテストによる実装試験
3. 計算機実装試験

(a) α 線源を用いた加速試験

実際のパッケージから放出される α 線の量は、 $0.1 \sim 0.01 \alpha/cm^2 \cdot hour$ 程度と極めて小さいために、パッケージに封止した状態で評価を行なおうとすると、 $1 \times 10^{-6} error/$

device-hour のエラー率を確認するには、1,000 個のデバイスを 1,000 時間動作させなければならない。これでは設計及びプロセスパラメータの変更に対して、その成果を確認するまでに時間がかかりすぎ、改善の方法に対してフィードバックをかけるのが非常に遅くなる。

そこで、実際のパッケージから放出される α 線と比較して、 10^8 倍程度高い強度の α 線源を用い、強制的にソフトエラーを起こさせることによって、短期間で多種のサンプルの評価を行なえるようにした。

使用する線源としては、実際のパッケージ材料中に含まれているのと同じウラン及びトリウムを用いるのが望ましいが、ウラン／トリウムは我が国では法律の規制対象元素であるために、入手は困難である。

入手可能な α 線源としては、 ^{210}Po 、 ^{226}Ra 、 ^{241}Am などがあるが、 ^{210}Po は 75°C 以上の高温にすると気体となり、また ^{226}Ra は娘核の ^{222}Rn が常温で気体であることから、この 2 つの核種を除き、 ^{241}Am は天然には存在しない核種であるが、放射 α 線のエネルギーが ^{238}U 、 ^{232}Th に近いこと、及び自分自身が気体になることがなく、気体になる娘核もないことから、照射実験に用いる線源として選んだ。

以下に ^{241}Am についてまとめる。

^{241}Am : 元素名	アメリシウム		
原子番号	95	質量数	241
天然には存在せず、ウランから核反応で生成			
崩壊形式	α 崩壊		
半減期	458 年		
α 線エネルギー	5.486 MeV (86 %)		
	5.443 MeV (13 %)		

測定方法としては、セラミックパッケージのフタをはがし、チップ表面上 5 mm の距離にまで線源を接近させて α 線を入射させ、メモリエクササイザー（タケダ理研 310/35）及び不良ビット直視装置（山田電音 M712B）を用いて一定時間内に生じたエラービットをカウントした。

^{241}Am から放射される 5.5 MeV の α 線の空気中における飛程は、約 3.5 cm であり、5 mm の空気層で失うエネルギーは約 500 keV である。

図 4 - 3 5 に測定系を示す。

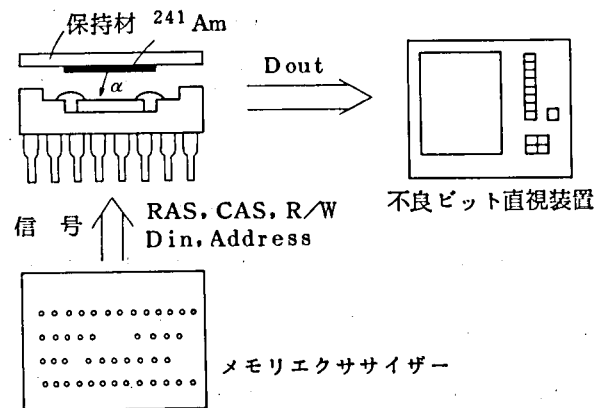


図 4 - 3 5 測定系のブロック図

放射強度の異なるいくつかの線源を用いて測定を行なった結果、ソフトエラー発生率は線源強度に比例することが確認された。

結果を図 4 - 3 6 に示す。

同一のサンプルについて Am 照射によるデータと金メッキフタでの動作試験 (Watching Operation Life Test ; W-OLT) のデータを比較し、両者の比をとって Am の照射試験における加速係数とし、他条件、他ロットのサンプルに対する Am による短時間の測定データから実使用状態におけるエラー率を推定することができる。

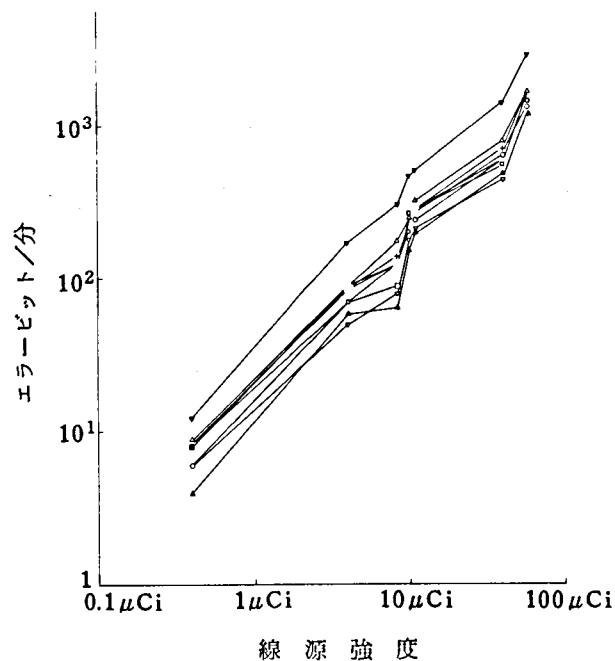


図 4 - 3 6 放射線源強度とソフトエラー

(b) ボードテストによる実装試験

メモリボードテストはCPUとしてMELCOM-70を用いたメモリテストを改造したものであり、大型計算機(COSMO 700など)のメインメモリユニットに組み込まれるメモリボードを評価するためのテストである。一枚のボードには64K(D)RAMが36個搭載され、最大16枚までのボードを同時にチェックすることができる。最大576個のデバイスを搭載し、テストサイクルごとに全チップの半数ずつを同時にアクセスし、チェックできるようになっており、測定効率を高めている。

Amを用いた加速試験で改善が確認された条件と同一条件の多数のデバイスを長期間(約6ヶ月)にわたって連続動作させ、実使用状態におけるエラー率を調べる。電源電圧、温度、サイクルタイム、テストパターンは可変である。いくつかのテストパターンをシリアルに走らせることも可能である。

(c) 計算機実装試験

大型計算機COSMO 700Sに最大1152個(8MB)の64K(D)RAMを実装し、診断プログラムを走らせながら長時間にわたって連続動作させる。メモリユニットは、環境室内に収納され、電源電圧、温度、湿度を変えながら測定できる。

4.5.5 ソフトエラー対策

(a) ソフトエラー対策のアプローチ

ソフトエラー対策は、大きくはチップ自体を強くすることと、チップ完成後、 α 線をチップから遮断するという二つに分けられる。更に、チップ自体を強くすることについては、臨界電荷量を増すためにメモリセル容量、読み出し電圧を増大すると同時に、電子の収集を減らすことが考えられる。

それぞれについて、回路、プロセス、デバイス、アセンブリ技術の面からの具体的対策について、整理して図にしたのが図4-37である。

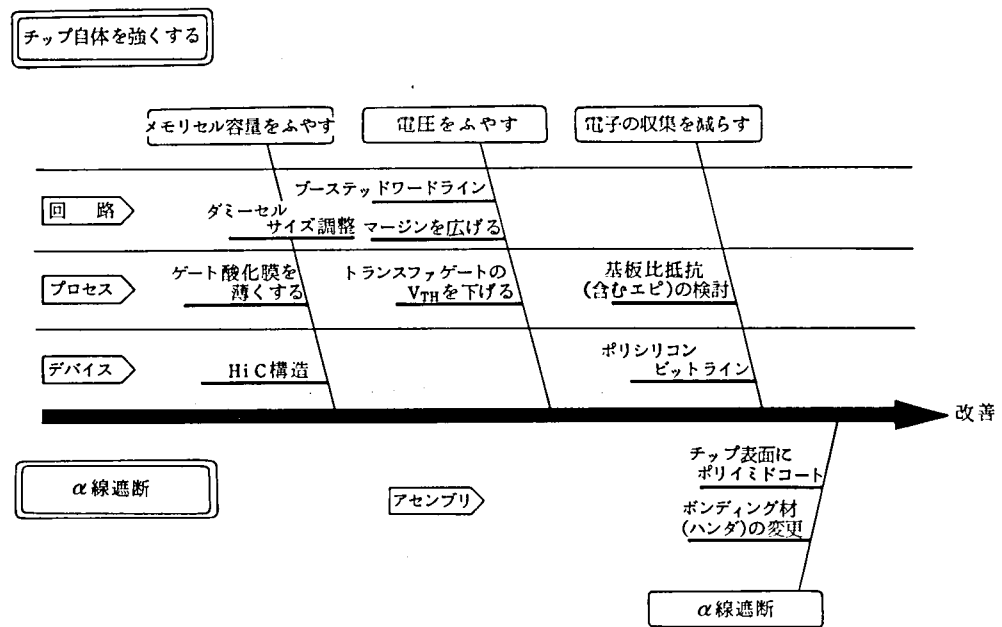


図 4 - 3 7 ソフトエラー対策のアプローチ

次節以下に、その対策の主なものを述べる。

(b) Hi-C セル構造によるソフトエラーの改善

メモリセル容量に関しては、メモリセル面積は既に許される最大限にしている。ゲート絶縁膜にシリコン酸化膜の代わりに誘電率の大きなシリコン窒化膜やタンタル酸化膜が提案されているが、生産性、信頼性などの面から実用化されるに至っていない。64K RAM では、まず、ゲートシリコン酸化膜の膜厚を薄くすることが試みられた。16K RAM ではゲート膜厚が $850 \pm 50 \text{ \AA}$ であったのに対し、64K RAM では $400 \pm 50 \text{ \AA}$ と約 $1/2$ にして、面積が減少した分をカバーしている。膜厚が薄くなったことに関する信頼性については、電源電圧も $12\text{V}/-5\text{V}$ から $5\text{V}/-3\text{V}$ と約半分になって、電界としてはほぼ同じで、16K RAMと同程度の信頼性レベルが得られている。

ゲート膜厚を薄くすると同時に、Hi-C (high capacity) セル構造を採用し、メモリセル容量の増大を図った。

Hi-C セルの断面図とその等価回路図を図 4 - 3 8 に示す。Hi-C セルはメモリセルプレートの下に二重イオン注入により、PN 接合を形成し、その接合容量をゲート容量と並列にして、メモリセル容量の増大を図ったものである^{(35),(36),(37),(38)}。

PN 接合はボロン注入を先に行い、次いで、ヒ素注入を行って形成した。その注入条件

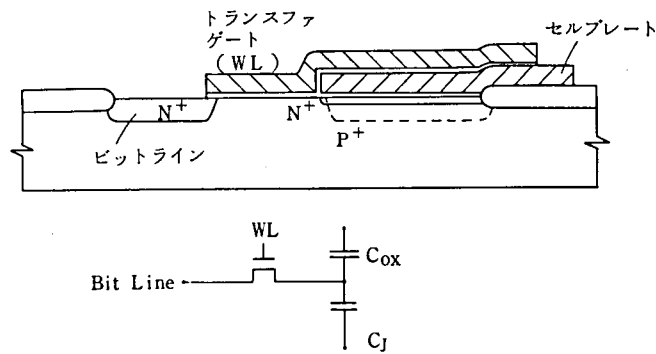


図 4 - 3 8 Hi-Cセル断面図と等価回路図

は次の通りである。

ボロン $8 \times 10^{12}/\text{cm}^2$, 140 KeV

A_s $3 \times 10^{13}/\text{cm}^2$, 80 KeV

実際の単位面積当りのPN接合容量を調べるために、 $300\mu\text{m}$ 角のパターンの所にPN接合を形成し、その容量 C_j を測定した。結果を図 4 - 3 9 に示す。

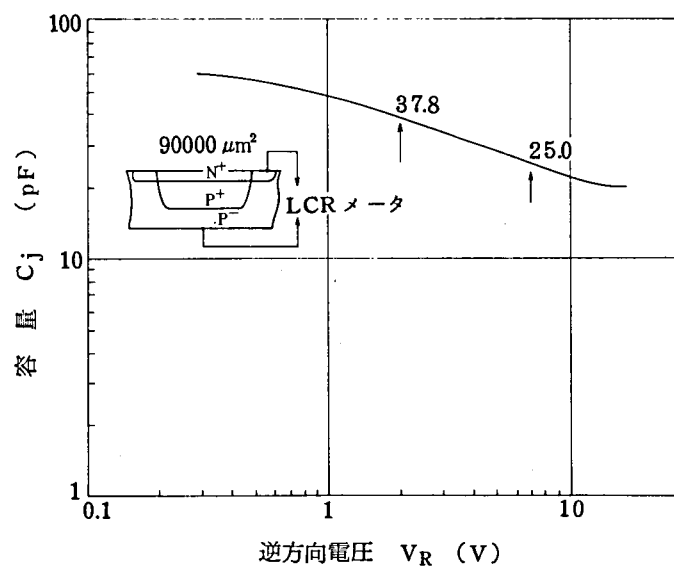


図 4 - 3 9 PN接合容量の V_R 依存性

ウェハ内、ウェハ間のバラツキは、 σ で 0.1 % 以下と極めて小さく、再現性の良い形成法であると言える。容量の電圧依存性は、上図に示したように、 $C_j \propto V_R^{-1/3}$ に近い特性を示す。これは接合が直線傾斜形の接合モデルに近いことを示している。

“ H ” , “ L ” レベルを記憶している時の逆方向電圧 V_R は、バックゲートバイアスが約 $-3V$ であるから、それぞれ $-8V$, $-3V$ である。この時の単位面積当りの容量は、 $2.78 \times 10^{-4} \text{ pF}/\mu\text{m}^2$, $4.20 \times 10^{-4} \text{ pF}/\mu\text{m}^2$ で、ゲート膜厚が 400\AA の MOS 容量の 31.2% , 45% に相当し、かなりの比率の増大が可能となる。

次に、Hi-C セルによるソフトエラーの改善率について検討する。ここでは試験用の $5V$ 単一 $16K$ ダイナミック RAM で測定を行った。図 4-40 は、 ^{241}Am によるソフトエラーの加速実験で、エラービット数と電源電圧の関係を示したものである。Hi-C 適用の場合の $V_{CC}=5V$ でのエラーは、Hi-C のない場合の $6.3V$ に相当し、この実験結果から、Hi-C セルのメモリセル容量は、従来のものに比べ約 30% 増大していることがわかる。また同じ $V_{CC}=5V$ での値を較べると改善率は約 16 倍と大きい効果が得られた。

電氣的性能については、Hi-C セル採用による悪影響は特になく、むしろ V バンプ値については、メモリ容量が増えた為に、良い値が得られている。一方、Hi-C セルは二重のイオン注入によって PN 接合を形成しているため、イオン注入による結晶欠陥が、空乏層内の発生電流を増加させ、それによってリフレッシュ特性が劣化することが懸念される。図 4-41 は、リフレッシュ時間の温度特性を調べたもので、最初にエラーとなるビットに着目して測定を行った。図より次のことがわかる。

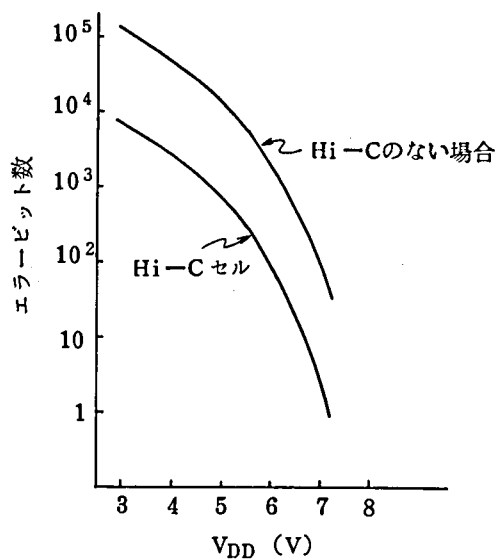


図 4-40 エラービット数と電源電圧

1. リフレッシュ特性のグラフの傾きから活性化エネルギーは

従来のもの 0.99 eV

Hi-C 0.71 eV

で、Hi-Cの方が小さく、エネルギー帯の中央付近に欠陥レベルの多いことを示している。

2. したがって、室温では従来のものの方がリフレッシュ時間が長いのに、高温では逆にHi-Cセルの方が長く、いずれも、規格値 2 msec に対して十分余裕があり、特にHi-Cのためリフレッシュ特性が悪くなることはない。

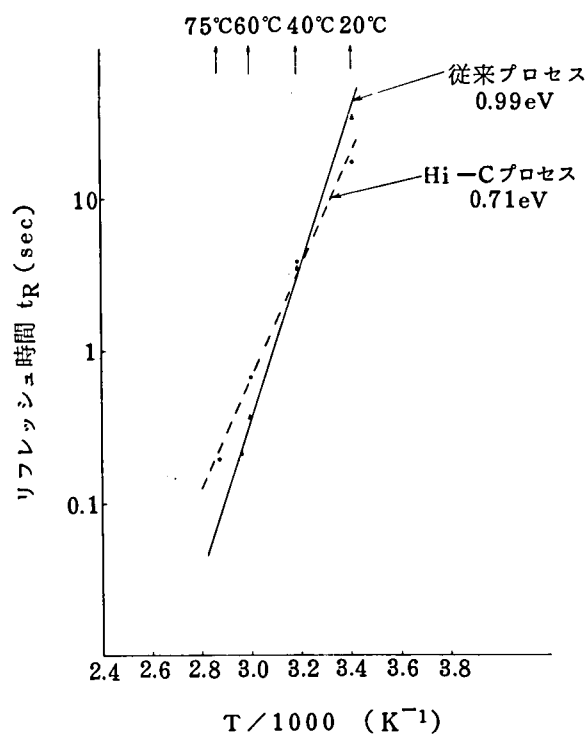


図 4-4-1 リフレッシュ時間の温度特性

64K分のビットのリフレッシュ時間がチップ内でどのように分布しているかを見たのが図 4-4-2 である。図より次のことがわか。

1. Hi-C ありのものは、Hi-C なしのものに比べ、リフレッシュ時間の分布の広がりが大きい。これはやはり、イオン注入の影響で、リーク電流の分布のバラツキが大きくなったことによると考えられる。

2. 分布の中心値は、従来のものが約12秒で、Hi-Cは約18秒でHi-Cの方が長い。
 以上のようにHi-Cプロセスを採用しても、リフレッシュ特性に関して問題はない。

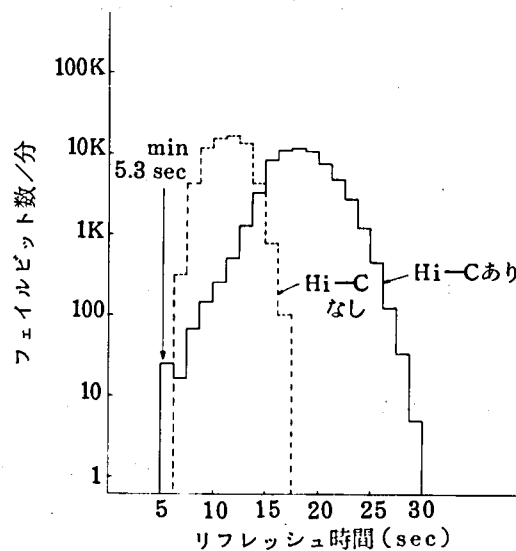


図4-42 リフレッシュ時間の分布

(c) ブーステッドワードラインによるソフトエラーの改善⁽³⁹⁾

前節ではメモリセルをHi-Cセル構造にすることによって、臨界電荷量を大きくした。
 本節では読み出し時のワードラインの電位を大きくすることによって、臨界電荷量をふやすことについて述べる。

。ワードラインの電位と臨界電荷量の関係

3電源16K RAMは殆ど全部が図4-43(a)に示したようなワードラインとセンスの関係であった。この時の臨界電荷量は、次式で与えられる。

$$\left\{ \begin{array}{l} Q_{crit}(H \rightarrow L) = C_D (V_{cc} - V_{th}) \\ Q_{crit}(L \rightarrow H) = (C_S - C_D) (V_{cc} - V_{th}) \end{array} \right. \quad (4.48)$$

$$\left\{ \begin{array}{l} Q_{crit}(H \rightarrow L) = C_D (V_{cc} - V_{th}) \\ Q_{crit}(L \rightarrow H) = (C_S - C_D) (V_{cc} - V_{th}) \end{array} \right. \quad (4.49)$$

$H \rightarrow L$, $L \rightarrow H$ エラーとも式 (4.46), (4.47) と較べて V_{WL} より V_{CC} が小さい分だけ Q_{crit} が小さくなることがわかる。

また, 64K RAM に関しては, 一般にワードラインをブーストするようになったが, その多くは図 4-43 (b) に示したようなセンスアンプ動作完了後ブーストするもので, 主にリフレッシュ保持時間を長くするのが目的で, Q_{crit} は次のように書ける。

$$\begin{cases} Q_{crit}(H \rightarrow L) = C_D(V_{WL} - V_{th}) & (4.50) \\ Q_{crit}(L \rightarrow H) = (C_S - C_D)(V_{CC} - V_{th}) & (4.51) \end{cases}$$

この方式では $H \rightarrow L$ エラーに対する Q_{crit} は増大するが, $L \rightarrow H$ エラーに対しては変わらない。

さらに改善された 64K(D) RAM においては図 4-43 (c) に示した如く, センス動作前にワードラインをブーストしており, これにより $H \rightarrow L$, $L \rightarrow H$ エラーともワードラインが V_{CC} レベルよりブーストされた分だけ Q_{crit} が大きくなっている。このようなワードラインのブーストの仕方は, スイッチキャパシタ方式のブートストラップ回路で, 高性能を損わずに可能となった。

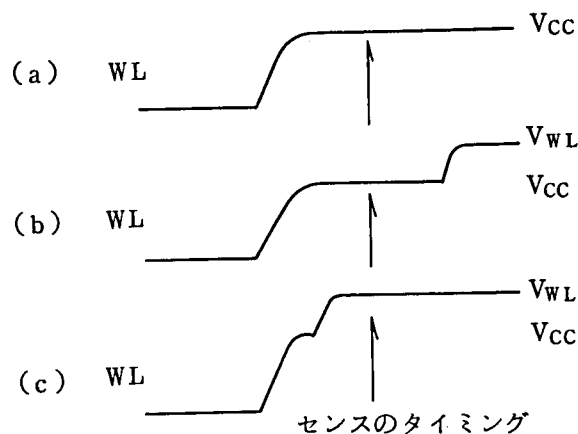


図 4-43 ワードラインとセンスの関係

。ブーステッドワードラインの効果

ワードラインブーストの効果を見るために，開発した64K(D)RAMについてAm照射によるソフトエラーの電源電圧依存性を調べた。図4-44はその結果を示すもので，ワードラインブーストと，レーザーカットによりブーストしなくしたものを比較した。図4-44から次のことがわかる。

1. $V_{cc} = 4.5V$ の所で，ワードラインブーストの有無を比較すると，

A (高速版) で約 6 倍

B (低速版) 約 13 倍 ワードラインブーストの効果がある。

2. Aマスクについてみると，ワードラインブーストなしの $V_{cc} = 5.66V$ の値は，ワードラインブーストの5.0Vに相当する。言い換えれば，ワードラインブーストによって，ワードラインは $V_{cc} = 5.0V$ の時，5.66Vにまでブーストされている。また，Bマスクは6.0Vにまでブーストされていると言える。

3. ワードラインブーストをやめると，A，Bとも等しい値を示す筈であるが，実際にはAマスクの方が2倍程悪い。これはセンスのタイミングがAの方が早いためであると考えられる。 V_{cc} 依存性の比較から，ワードラインとセンスタイミングの関係は図4-45のようにになっているものと推定される。

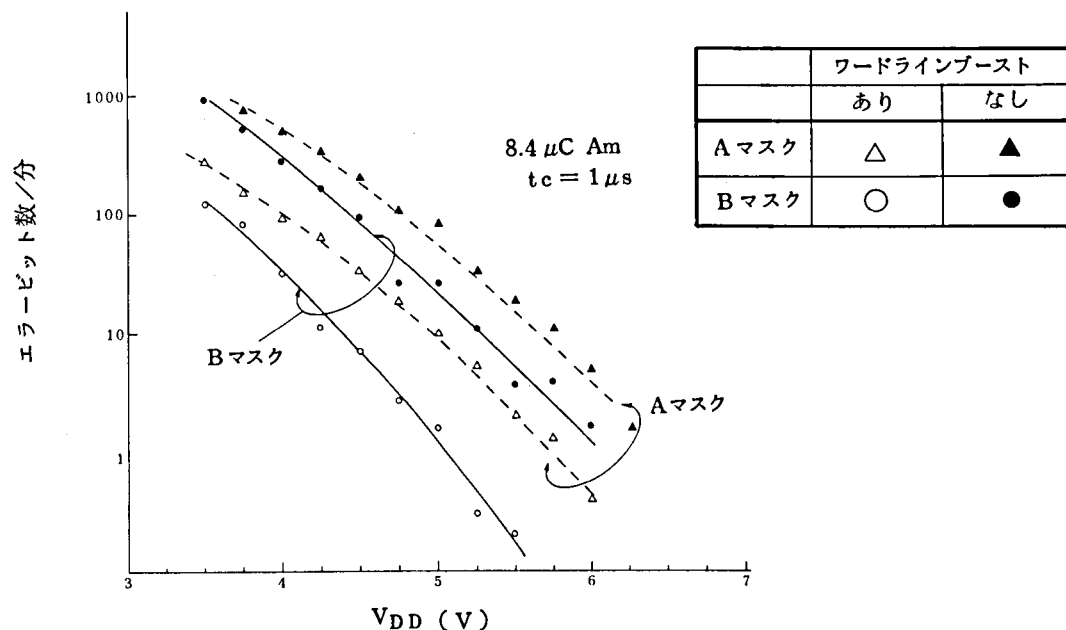


図4-44 電源電圧とソフトエラー

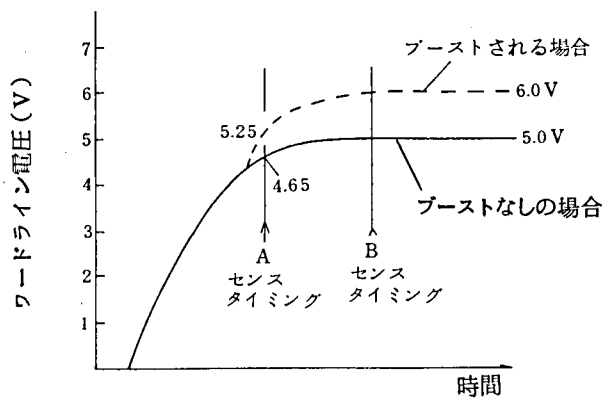


図 4 - 4 5 ワードラインとセンスの関係

図 4 - 4 5 および、ソフトエラーのデータから、ワードラインブーストの効果は明らかであるが、トランスファゲートの V_{th} (約 2.0 V) のロス完全に無くすには、更に 1V 程度レベルを上げなければならない。そのために、ワードラインをブーストするクロックの立ち上がり速度を早くするなどの改善が必要である。

また、A は高速版で、センスのタイミングが悪く、ワードラインが十分飽和する前にセンスアンプが動作するために、ソフトエラーの値が悪くなっている。ワードラインブーストのクロックで、センス開始するような回路方式をとって、アクセスタイムとソフトエラーが独立に決まらないようにすることも必要である。

(d) ダミーセルサイズの最適化

臨界電荷量 Q_{crit} は式 (4.44), (4.47) で与えられるが、 Q_{crit} を C_s で割った量は次のように書き直される。

$$\left\{ \begin{array}{l} \frac{Q_{crit}(H \rightarrow L)}{C_s} = C_D / C_s \cdot (V_{WL} - V_{th}) \end{array} \right. \quad (4.52)$$

$$\left\{ \begin{array}{l} \frac{Q_{crit}(L \rightarrow H)}{C_s} = (1 - \frac{C_D}{C_s}) (V_{WL} - V_{th}) \end{array} \right. \quad (4.53)$$

Q_{crit}/C_s を C_D/C_s の関数として図 4 - 4 6 に示す。ここで $V_{WL} \sim 6V$, $V_{th} = 2.0V$ と仮定した。

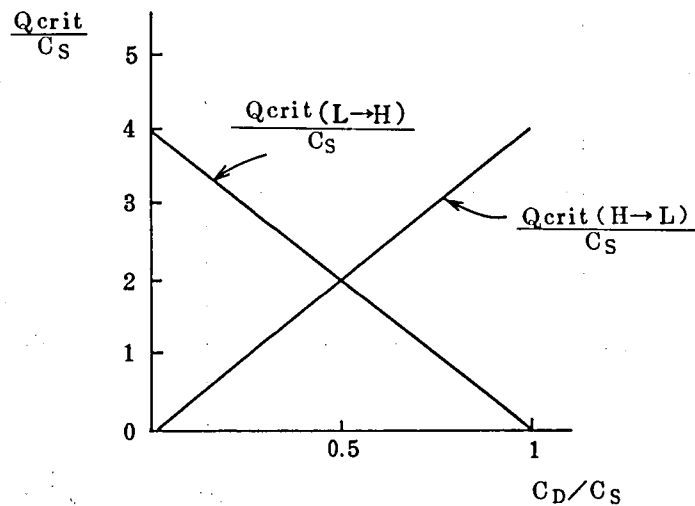


図 4 - 4 6 H → L , L → H エラーに対する Q_{crit}/C_S と C_D/C_S の関係

図から、 C_D/C_S が大きくなると、 $Q_{crit}(L \rightarrow H)$ が小さくなるため、L → H エラーが増し、逆に C_D/C_S が小さくなると $Q_{crit}(H \rightarrow L)$ が小さくなり、H → L エラーが増すことがわかる。ソフトエラー率は、 $Q_{crit}(H \rightarrow L)$ 、 $Q_{crit}(L \rightarrow H)$ のどちらか小さい方で律せられてしまうため、両者が等しいのが望ましい。

図 4 - 4 7 は、 $V_{CC} = 5.0V$ の時の L → H エラーの数と H → L エラーの数の比をダミーセル面積 / メモリセル面積の関数として表わしたものである。

ロットによってバラツキはあるが、前に述べたようにダミーセルが大きくなるに従い、L → H エラーが多くなり、またダミーセルが小さくなると H → L エラーが多くなる。両者が等しくなるダミーセルとメモリセルの比は、0.5 ~ 0.54 程度であると言える。このようにダミーセルサイズをソフトエラーの H → L、L → H エラーの比が等しくなるように選ぶことが重要である。

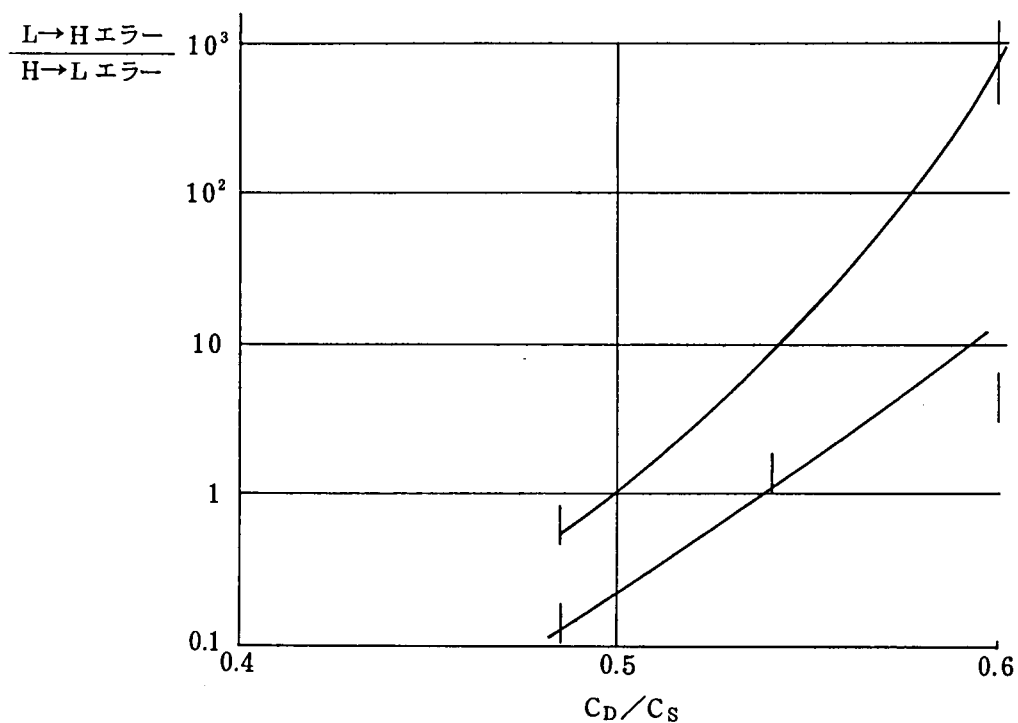


図 4 - 47 L→H, H→L エラーの比と C_D/C_S の関係

(e) ビットラインのポリシリコン化によるソフトエラーの改善⁽⁸⁹⁾

電子の収集を減らすもう一つの方法は、ビットラインを N^+ の拡散層からポリシリコンへ替えることによって、電子を収集する N^+ 拡散層の面積を減らすことである。ここでは、ビットラインを第一ポリシリコンにした時のソフトエラーの改善について述べる。

図 4 - 4 8 に拡散ビット線とポリシリコンビット線のメモリセルのパターン図を示す。表 4 - 7 に N^+ ビット線と第 1 ポリシリコンビット線の場合の N^+ 拡散面積とソフトエラーの改善率を示す。

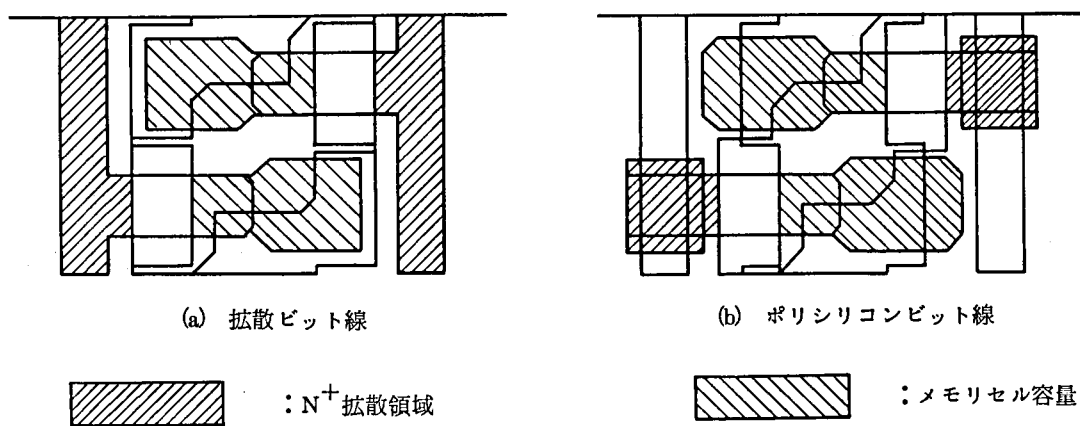


図 4 - 4 8 メモリセルのパターン図

表 4 - 7 ビット線の種類と N^+ 拡散面積とソフトエラーの改善

	N^+ 拡散面積	ソフトエラーの改善
N^+ ビット線	$3,002 \mu m^2 / \text{ビット線}$ (2.06)	1
ポリシリコンビット線	1,446 (1)	2.5

表 4 - 7 に見るように、ポリシリコンビットラインを使用した場合、 N^+ 拡散面積については、 N^+ ビットラインの約 $1/2$ となり、ソフトエラー率が $1/2$ に改善されることが期待されるが、実際の A_m による測定、W. OLT による測定では約 2.5 倍程度の改善度となっている。これは図 4 - 48 のパターン図に示すように、ビット線を第一ポリシリコンにした時、設計上約 6 % メモリセル面積が大きくなった効果によるものと考えられる。

第一ポリシリコンビットラインを採用した場合、電気的特性は N^+ ビットラインと変わらず、ソフトエラー率が悪くても N^+ ビットラインの $1/2$ になることが確認された。

ビットラインポリシリコン化は N^+ 拡散面積による効果だけであれば、 N^+ ビットラインに較べて $1/2$ の効果しか期待できないので、メモリセル面積を大きくできる第 2 ポリシリコンによるビットラインの検討も今後必要になってくるものとする。

4.5.6 ソフトエラー評価結果

以上の検討の結果をまとめると、次のようになる。

1. 64K RAM は 16K RAM に較べて、臨界電荷量が小さく、プロセス、デバイス、設計、アセンブリ技術の各面からの総合的な対策を必要とする。種々の検討の結果、具体的にとり入れた対策は次にあげる項目である。
 - (1) ゲート膜厚を 400 \AA と薄くすることによるメモリセル容量の増大化
 - (2) Hi-C セル構造によるメモリセル容量の増大化
 - (3) ブーステッドワードライン回路による読み出し電圧の高電圧化
 - (4) ビットラインポリシリコン化による N^+ 拡散面積の減少

以上の対策により，ソフトエラー率 $10^{-5}/\text{d}\cdot\text{Hr}$ が実現されたが，実用上は $10^{-6}/\text{d}\cdot\text{Hr}$ 以下が要求され，これを満たすためにはさらにポリイミド樹脂等の線量の極度に小さい物質によるコーティングが必要とされる。

2. ソフトエラーに対する強さを表わす臨界電荷量は，ブーステッドワードラインの場合

$$Q_{\text{crit}}(H \rightarrow L) = C_D(V_{WL} - V_{th}) - C_B \Delta V_{SA} \quad (4.54)$$

$$Q_{\text{crit}}(L \rightarrow H) = (C_S - C_D)(V_{WL} - V_{th}) C_B \Delta V_{SA} \quad (4.55)$$

と表わされる。

3. ブーステッドワードライン回路によって，読み出し時のワードラインの電位は約 6 V になる。

また，Hi-C セル構造によれば，メモリセル容量は約 30 % 増大させることができ，Hi-C およびブーステッドワードライン回路により， Q_{crit} は約 1.8 倍に増加できた。

4.6 結 言

以上、大容量ダイナミック MOS RAM の高集積化について述べた。1970年に1Kビットの(D)RAM が出現して以来、プロセス技術、デバイス技術および回路技術の急速な進展によりほぼ3年に4倍の高集積化を達成し、1977年にはNチャネルダブルポリシリコンプロセスによる1トランジスタ方式の16K(D)RAM が実用化された。ここで、デバイス構造あるいは回路構成法の改良による高集積化は、ほぼ飽和の域に達し、続く64K(D)RAM 出現はプロセスの微細化により寸法を比例縮小する、いわゆるスケーリング法に主として頼らざるを得なくなった。

本章では、メモリの高集積化にともなう基本的な問題は、素子の微細化により情報を担うエネルギーレベルが低下し、具体的にはメモリセルからの読み出し電圧が減少して、センスアンプで正しく判定されなくなることにあることに注目し、センスアンプへの入力電圧とセンスアンプ感度との比 m を評価関数として、スケーリング法により微細化すなわち高集積化を行う場合の安定動作の条件について検討を行った。この結果、下記の5項目の設計指針を得た。

- (1) メモリセルへの書き込み電圧はスケーリング係数以上には低下させない。
- (2) ビット線容量の増大を防ぐため、ビット線当りのメモリセル数は16Kビットの場合と同じく64個とする。
- (3) メモリセルの蓄積容量を増すため、メモリセルの形をワード線方向に長くする。
- (4) センス回路の感度を高くするため、センス回路のソース端電圧降下速度を遅くする。
- (5) センス回路のトランジスタのコンダクタンス定数を大きくするため、トランジスタの W をレイアウト上の許容最大値とする。また、両トランジスタの V_{th} の差 ΔV_{th} を極力小さくするため、 $L=4\mu m$ としショートチャネル効果の影響を抑える。

上記指針に従い、安定に動作している $6\mu m$ 基準の16K(D)RAM を基に $3\mu m$ 基準の64K(D)RAM の設計・試作を行った結果 $m=7.1$ が得られ、安定に動作することが確認され、設計指針の妥当性が確認された。ここに得られた64K(D)RAM の主な特性は、電源電圧7V、 $-2V$ 、アクセス時間160nS、サイクル時間350nS、チップサイズ $4.28\times 6.92mm$ である。

最後に、 α 線によるソフトエラーについて述べた。

まずソフトエラーを起こす臨界電荷量を求め、つづいてソフトエラーの発生モード、および評価方法について述べ、ソフトエラー率改善方法について検討を行った。その結果、下記の対策が有効であるとの結論を得た。

- (1) メモリセル容量を増大するため、ゲート酸化膜を薄くする（ $\sim 40\text{ nm}$ ）とともにP-N接合を形成し、接合容量をゲート容量と並列に使用する。
- (2) メモリセルのスイッチトランジスタのゲート駆動電圧をスイッチキャパシタ方式により昇圧し、書き込み、読み出し電荷量を増す。
- (3) ダミーセルサイズを最適化し、“H” \rightarrow “L”，“L” \rightarrow “H”エラーを等しくする。
- (4) ビットラインをポリシリコン化し、 α 線の影響を受ける N^+ 領域の面積を減少する。

以上の対策によりソフトエラー率は $10^{-5}/\text{d}\cdot\text{Hr}$ 程度になし得るが、実用的には $10^{-6}/\text{d}\cdot\text{Hr}$ が要求されるため、さらにポリイミド樹脂等極低 α 線材料によるコーティングが必要である。

参 考 文 献

- 1) R.J.Koppel and I.Maltz : "Predicting the real costs of Semi conductor memory systems", Electronics, Vol. 49 (Nov. 25, 1976) p.117
- 2) G.E.Moore : "Progress in digital integrated electronics", Digest of Technical paper IEDM '75, p.11
- 3) W.M.Regitz and J.A.Karp : "Three-transistor-cell 1024-bit 500-sec MOS RAM" IEEE J. Solid-State Circuits, Vol. SC-5, pp.182-186 Oct. 1970
- 4) Intel Data Sheet July 1971, i-1103
- 5) J.A.Karp, W.M.Regitz and S.Chou : "A 4096 bit dynamic MOS RAM", in IEEE ISSCC Dig. Tech., Papers, pp.10-11, Feb. 1972
- 6) C.Kuo, N.Kitagawa, Edward and P.Dryaer : "Sense amplifier design is key to 1-transistor Cell in 4,096-bit RAM" p.116-121, Electronics, September 13, 1973
- 7) 榎本, 一条 : "記憶回路" 実公照 44-20094, 1966年4月27日出願
- 8) R.H.Dennard : "Field-effect transistor Memory" U.S. Patent 3,387,286, June 4, 1968, July 14, 1967出願
- 9) K.U.Stein and A.Sihling : "Semiconductor memory having single transistor storage elements and flip-flop circuit for the evaluation and regeneration of information" USP 3,774,176 1971. Sept. 30出願
- 10) K.U.Stein, A.Sihling and E.Doering : "Storage Array and Sense/Refresh circuit for Single-Transistor Memory Cells" p.56~p.57, 1972 ISSCC, Feb. 16, 1972
- 11) W.E.Engeler, J.J.Tiemann and R.D.Baertsch "Surface-Charge RAM System" 1972 ISSCC, Feb. 16, 1973
- 12) H.Iizuka, T.Sato, F.Masuoka, K.Ohuchi, H.Hara and Y.Takeishi : "A fully-decoded-2048-bit avalanche-injection type, electrically alterable ROM" in 1972 IEDM, Washington, D.C., Late News 7. 6, Dec.
- 13) P.P.Schroeder and R.J.Proebsting : "A 16K x 1Bit Dynamic RAM" p.12, ISSCC, Feb. 16, 1977
- 14) P.R.Schroeder : "Prospects for the 64K RAM", COMPCON Spring '77, p.183

- 15) H.Yoshimura, M.Hirai, T. Asaoka, H. Toyoda: "A 64K bit MOS RAM", ISSCC Dig. Tech. Papers., p.148 (Feb. 1978)
- 16) I.Lee, R.T.Yu, F.J.Smith, S.Wong, M.P. Embrathiry : "A 64Kb MOS Dynamic RAM" ISSCC Dig. Tech. Papers., p.146 (Feb. 1979)
- 17) R.De Simone, N.M.Donofrio, B.L.Flur, R.H.Kruggel, H.H. Leung, R.Schnadt : "FET RAMs", ISSCC Dig. Tech. Papers., p.154 (Feb. 1979)
- 18) 蒲生, 谷口, 市山: "1トランジスターセル方式 MOS RAM メモリ容量", 信学技報 EC75-34, 1975
- 19) 蒲生, 長山, 吉原, 中野: "スケーリング法を適用した大容量ダイナミック MOS RAM の回路設計", 信学論(C) J64-C, No.2, P61 (昭56-2)
- 20) T.C.May and M.H.Woods, "Alpha-particle-induced soft errors in dynamic memories", IEEE Trans. vol. ED-26, pp.2-9, Jan. 1979
- 21) H.S.Lee and W.O.Price : "Merged charge memory", IEDM '76, p.15
- 22) R.H. Dennard, et al : "Design of ion implanted MOSFET's with very small physical dimensions", IEEE Trans., Vol. SC-9, NO.5 (1974) p.256
- 23) A.F. Tasch, et al : "Charge coupled RAM", IEEE Trans., Vol. SC-11, NO.5 (1976) p.575
- 24) 日経産業新聞, 52年4月7日, 日経エレクトロニクス(1977/4/18) P. 38
- 25) R.D.Pashly, et al : "A high performance 4K Static RAM fabricated with advanced MOS technology", ISSCC Digest of Tech. papers '77 p.22
- 26) R.D.Pashly, et al : "HMOS scales", Electronics, p.94 (Aug. 18, 1977)
- 27) L.M.Terman : "MOS FET memory circuits", Proc. IEEE, Vol.59, NO.7 (1971) p.1044
- 28) 菅野, 小野, 垂井: "MOS 電界効果トランジスタ", 日刊工業新聞(東京)1969年
- 29) 矢野, 家田, 大森, 武谷: "1トランジスタ形 MOS メモリ用高感度センス回路", 信学論(C), J61-C, 5, P. 273 (昭53-05)

- 30) N.Ieda, E.Arai, K.Kiuchi, Y.Ohmori, K.Takeya : "A 64K MOS RAM Design", Jpn. J.Appl. Phys., 17, 17-1, p.57 (1978)
- 31) 下西, 長山, 中野 : "ダイナミック MOS RAM のセンスアンプ感度", 信学論 (C), J61-C, 6, P. 399 (昭53-06)
- 32) L.D.Yau : "A simple theory to predict the threshold voltage of short-channel IGFET's", Solid-State Electronics, 17, p.1059 (1974)
- 33) 増原, 足達, 永田, 橋本 : "低電圧ダイナミック MOS メモリ", 信学論 (C), J57-C, 8, P. 271 (昭49-08)
- 34) W.T.Lynch, H.J.Boll : "Optimization of the Latching Pulse for Dynamic Flip-Flop Sensors", IEEE J. Solid-State Circuits., SC-9, p.49 (Feb. 1974)
- 35) C.G. Sodini and T.I.Kamins "Enhanced Capacitor for One-Transistor Memory Cell" IEEE Trans on Electron Device, Oct. 1976, pp.1187
- 36) A.F.Tasch, P.K.Chatterji, H.S.Fu and T.C.Holloway "The Hi-C RAM Cell Concept" IEDM 1976
- 37) V.L. Rideout "A Double Polysilicon Dynamic Random Access Memory Cell with Increased Charge Storage Capacitance", IBM Technical Disclosure Bulletin, Vol. 21, No. 9, Feb. 1979
- 38) M.Yamada, T.Yoshihara, M.Taniguchi, Y.Gamo & T.Nakano : "Soft Error Improvement of 64K (D) RAM with HiC Structure" IEDM '80, p.578
- 39) Y.Gamou, et al, " Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh," IEEE J.S.S.C. vol. SC-16, No. 5, p.492, Oct. 1981

第 5 章 結 論

記憶装置発達の歴史は、大容量化、高速化の歴史であり、また経済性を含み使い易さの追究の歴史であったと言える。この歴史の流れは、技術的には素子の微細化による高密度化およびデバイス技術・回路技術の進歩による構造の簡素化がベースとなり、これらに支えられて記憶装置を構成する各部を、より高度に集積化することによって実現されてきた。筆者はこの歴史の流れの中で、各種の記憶装置の基礎的開発から応用製品開発にわたって従事してきたが、本論文ではそのうち、磁性薄膜メモリ、CCDメモリおよびダイナミックMOS RAMの高集積化による大容量化、高速化および使い易さの向上について述べた。

まず、磁性薄膜メモリに関しては、真空蒸着法による良質の磁性薄膜素子2枚を対向させた結合形磁性薄膜記憶素子を開発し、これを用いた16KBの記憶装置を試作し、アクセス時間80ns、サイクル時間250nsで安定に動作することが確かめられた。この結果、高速記憶装置に必要とされる記憶素子、周辺回路およびその構成法に関し、下記の如き知見が得られた。

- (1) 真空蒸着法による良質の磁性薄膜素子2枚を、その間に互に直交する語駆動線と、桁駆動線をはさんで対向させ、その間隙をある一定の値(0.6 mm^2 の磁性薄膜では $40\text{ }\mu\text{m}$)以内とした結合形磁性薄膜記憶素子は、実効的に閉磁路を構成するため、優れた記憶特性を示す。
- (2) 大きな読み出し電圧を得るためには、語電流の立上りをできるだけ急峻にし、振幅は立上り時間に適した値に選ぶべきである。
- (3) 高速化、動作の安定化のためには、語駆動および桁駆動による誘導雑音を極力小さく抑え、かつ減衰を早くしなければならない。そのためには、読み出し増幅器の前にトランスを用いた2交点/ビットのアップ・ローフ方式が有効である。
- (4) 読み出し回路にエミッタフォロフ付きの極性判別回路(フリップフロップ形差動増幅器)を用い、再書き込みループからメモリレジスタをはずすことは高速化に有利である。
- (5) 急峻な立上りの電流駆動パルスを得、かつ誘導雑音を低減するためには、語駆動回路、桁駆動回路およびセンスアンプ等をメモリプレーンに直結し、余分の配線による負荷効果、相互誘導による雑音等を避ける必要がある(高集積化)。
- (6) 記憶容量を大きくすると、書き込み雑音の減衰に時間がかかり、測定した範囲では、サイクル時間は記憶容量に対しほぼ直線的に増大する。

以上より一般的には、高速性を維持あるいは向上しつつ記憶装置の大容量化を実現するには、

語駆動線、桁線等の負荷を増大することなく、すなわち寸法を増大せずに記憶容量を増す必要があり、このためには素子の微細化および周辺回路を含む全装置のより高度の集積化を行うことが必要であると言える。

つぎにCCDメモリに関しては、ほぼ同等の製造プロセスによるダイナミックRAMに対し、一層の大容量化とビット当りコストの低減を図ることを目標とし、MLS(Multi-Level-Store)方式とE/B(Electrode per Bit)方式による高集積化に関し研究を行った。

MLS方式はCCDが本質的にアナログ素子である点を利用し、1つのメモリセルに多レベルの電荷を蓄積することにより、複数ビットを記憶させる方式である。筆者は、面積の異なる電極の組合せによる4レベルの電荷の入・出力方式を開発し、さらにこれらの回路の面積効率をよくするため、4本のCCDシフトレジスタに対し、1回路を設けるマルチプレクス方式を開発した。また、転送電荷量を大きくするため、転送中電荷が常に2電極以上にまたがって蓄積される方式を採用した。これらの基本回路の動作を試験用LSIの試作により確認した上で、128KビットCCDメモリの設計を行ない、チップサイズ $7.9 \times 8.9 \text{ mm}$ で平均アクセスタイム $128 \mu\text{s}$ 、データレート 2 Mb/s 、消費電力 390 mW の性能を得た。設計基準は初期の16K(D)RAMと等しい $6 \mu\text{m}$ 基準を採用した。1ビット当りチップ面積は16K(D)RAMの約2.6分の1が得られた。

つぎにE/B方式による高集積化に関しては、8電極(4蓄積電極+4転送電極)に3ビットを蓄える方式を採用し、さらに4本のCCDシフトレジスタを1ブロックとして、入・出力動作をマルチプレクス化することにより、入・出力回路の効率化とデータレートの向上を図った。

また、E/B方式特有の多相の転送クロックを全てチップ内で発生させるよう低電力、低雑音のクロック駆動回路を開発し、同一チップに集積化することにより周辺回路の単純化を図り、システムレベルでの高密度化を実現可能とした。設計基準 $5 \mu\text{m}$ で64KビットCCDメモリを設計・試作した結果、チップサイズ $7.1 \times 4.7 \text{ mm}$ 、平均アクセス時間 $130 \mu\text{s}$ 、消費電力 205 mW で安定に動作することが確認された。ビットコストを決める最大要因である1ビット当りチップ面積は同設計基準による16K(D)RAMの約2分の1に縮小されている。

ここに開発されたMLSおよびE/B方式のCCDメモリと従来方式のCCDメモリおよびダイナミックRAMに関し、設計基準と記憶容量とをそれぞれある一定値に換算して比較した結果、1ビット当りチップ面積の縮小率は1.1～1.4分の1と減少した。

この結果より、上に得られた大幅な縮小効果は、ここに開発された新方式によるビット密度の

向上に加えて、CCDメモリが(D)RAMに比べて作り易く製造歩留りが高いため、チップ面積を大きくすることが工業的に可能であり、1チップ当りの記憶容量を大きくすることができたことも、一つの要因となっていることが明らかとなった。すなわち、大容量化自体が高集積化、ひいてはビット単価低減の効果を現したわけである。

最後に第4章では、今やメモリハイパーキにおいて確固たる地位を占めるに至ったダイナミックMOSRAMに関し、その発展の歴史を技術的にふりかえり、一層の高集積化の方途をさぐった。最初に出現した1K(D)RAMから16K(D)RAMの実用化まではプロセス技術の高度化による微細化、デバイス技術および回路技術の進展による構造・構成法の高密度化がバランスして寄与してきたが、ダブルポリシリコン構造による1トランジスタ方式メモリセルの実用化により、メモリセル構造としては一応の飽和点に達し、次の64K(D)RAMの出現は、プロセス技術の微細化に主として依存せざるを得なくなった。筆者は(D)RAM設計のポイントであるメモリセルからの読み出し電圧とセンス回路の感度の比に着目し、いわゆるスケーリング則に従って微細化を行った場合に、この比を大きく保ち、安定動作領域を広くするための設計方法について検討した。この結果、下記の5項目の設計指針が得られた。すなわち、

- (1) メモリセルへの書き込み電圧はスケーリング係数以上には低下させない。
- (2) ビット線当りのメモリセル数は16Kビットの場合と同じく64個とする。
- (3) メモリセルの蓄積容量を増すため、メモリセルの形をワード線方向に長くする。
- (4) センス回路の感度を高くするため、フリップフロップ形差動センスアンプのソース端電圧降下速度を遅くする。
- (5) センス回路のトランジスタのコンダクタンス定数を大きくするため、トランジスタの幅をレイアウト上の許容最大値とする。また、両トランジスタの V_{th} の差を極力小さくするため、チャネル長は4 μm とし、ショートチャネル効果の影響を避ける。

上記設計指針に従い、安定に動作している6 μm 基準の16K(D)RAMをベースに3 μm 基準の64K(D)RAMの設計・試作を行った結果、チップサイズ4.3 \times 6.9mm、アクセス時間160nS、電源電圧7V、-2V、動作電流30mAで安定に動作することが確かめられ、上記設計指針の妥当性が確認された。

つぎに、メモリセル面積の縮小にともない、記憶電荷量が減少し、パッケージ材料等に含まれる微量の放射性物質から放出される α 線がSi基板に突入して発生する雑音電荷量と同程度になったことにより、ランダムに記憶情報が失われるという問題が発生した。この現象は、ソフトエ

ラーと呼ばれ、今後の微細化の進展による高集積化に対するあらたな障壁として大きな問題になると考えられる。この問題に関し、電源電圧を5Vとした64K(D)RAMを対象に、ソフトウェアメカニズムの解析、評価法の検討を行ない、各種の対策について検討・実験を行った。ソフトウェア率低減対策としては、チップ自体を強くする方法とチップを α 線から遮断する方法に大別されるが、ここでは前者についてのみ論じた。具体的方策としては、メモリ容量を増大するため、MOSキャパシタのゲート酸化膜を薄くするとともに、Si基板中にP-N接合を形成し、接合容量を利用すること、メモリトランジスタの駆動電圧をブートストラップ回路により昇圧して、メモリセルへの書込・読出電圧を高めること、 α 線の影響を受ける N^+ 拡散領域の面積を小さくするため、ビット線を N^+ からポリシリコン配線に変えること、回路定数を最適化して“1”、“0”のバランスをとること等がある。これらの対策により、ソフトウェア率は $10^{-5}/d \cdot Hr$ 程度にまで改善できることが明らかとなった。実用的には $10^{-6}/d \cdot Hr$ が要求されるが、このレベルは上記チップにポリイミド等極低放射性樹脂によるコーティングを行うことにより、十分越えられることがわかった。

以上磁性薄膜メモリ、CCDメモリおよびダイナミックMOSRAMに関する研究を通じ、各メモリに対し、大容量化、高速化、低コスト化を実現する種々の技術的方策を開発し、その結果より記憶装置の最終目標である大容量、高速、低価格を実現するためには高集積化が基本的であることを明らかにした。

今後の高集積化の方向としては、製造プロセスの高度化による素子寸法の微細化が基本となると考えられるが、素子体積の微細化にともない、電源電圧も低くなるため、情報を担うエネルギーレベルは急速に低下する。従って、適当なS/N比を維持するためには従来の意味における電氣的雑音をより一層厳しく抑える必要があり、このためデバイス技術、回路技術を駆使することが必要となる。本質的な物質定数による物理的限界にはまだ余裕があるが、 α 線によるソフトウェア、ホットエレクトロン効果等が重大な問題となり、また今後さらに新しい種類の「雑音」が現れる可能性もある。これらに対し、デバイス技術、回路技術の一層の高度化による対策が必要であるが、さらに論理演算回路との集積化により、不良ビット救済、誤り訂正など機能上実効的にS/N比を改善することも必要となろう。

さらに、複数ビットの高速連続アクセスによる高性能化、連想メモリ、論理機能付メモリ等、新しい種類の高機能化を図ることも今後の重要な課題である。

謝

辞

本論文をまとめるにあたり，終始御懇切な御指導と御鞭撻を賜りました京都大学工学部 田丸啓吉教授に衷心より御礼を申し上げます。

また本論文につき数々の有益な御教示と御忠告をいただいた京都大学工学部 池上淳一教授，矢島脩三教授に心より感謝いたします。

本研究遂行にあたって御指導と御鞭撻を賜わり，また本論文作成の機会を与えていただくとともに激励いただいた三菱電機株式会社常務取締役開発本部長 森 英夫博士，L S I 研究所所長 岡 久雄博士に厚く御礼申し上げます。

また本研究の遂行と論文の作成にあたり，種々のご協力と有益な討論をいただいた現福井大学工学部電子工学科 谷口慶治教授，三菱電機中央研究所 上坂達生氏，L S I 研究所 中野隆生博士，北伊丹製作所 長澤紘一博士，および御協力頂いた方々に心から感謝いたします。

研 究 業 績 目 録

発 表 論 文

- 1) 蒲生, 谷口, 尾崎, 小島; "磁性薄膜記憶装置における読出回路の一方式", 信学論(C), 51-C8, P. 383 (1968)
- 2) 蒲生, 谷口, 尾崎, 小島; "カップルドフィルムメモリプレーンにおける渦流の影響の測定", 信学論(C), 52-C1, P. 65 (1969)
- 3) 蒲生, 小島, 上坂, 南部, 谷口, 尾崎; "16Kバイト結合形磁性薄膜記憶装置の試作", 信学論(C), 54-C8, P. 729 (1971)
- 4) 蒲生, 小島, 谷口, 尾崎; "磁性薄膜記憶装置の一設計法", 信学論(C), 54-C2, P. 179 (1971)
- 5) M. Yamada, K. Fujishima, K. Nagasawa, Y. Gamou ; "A New Multi-Level Storage Structure for High Density CCD Memory", J. J. A. P. , 17 Suppl. 17-1, PP. 263~268 (1978)
- 6) M. Yamada, K. Fujishima, K. Nagasawa, Y. Gamou ; "A New Multi-Level Storage Structure for High Density CCD Memory", IEEE J. Solid-State Circuits, SC-13, P. 688~693 (1978)
- 7) M. Yamada, K. Fujishima, K. Nagasawa, Y. Gamou ; "A New Multiplex Input Technique for High Density CCD Memory", J. J. A. P. , 19 Suppl. 19-1, PP. 259~263 (1980)
- 8) M. Yamada, K. Fujishima, K. Nagasawa, Y. Gamou ; "All TTL Compatible CCD Memory with CCD Clock Generator", IEEE J. Solid-State Circuits, SC-15, P881 (1980)
- 9) 蒲生, 長山, 吉原, 中野; "スケーリング法を適用した大容量ダイナミック MOS RAM の回路設計", 信学論(C) J64-C, No2, P 61 (1981)
- 10) M. Yamada, T. Yoshihara, M. Taniguchi, Y. Gamou, T. Nakano ; "Soft Error Improvement of 64K(D)RAM with Hi-C Structure", IEDM '80 P. 578
- 11) M. Taniguchi, T. Yoshihara, M. Yamada, K. Shimotori, Y. Gamou,

T.Nakano ; " Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh , " IEEE J.S.S.C vol. SC-16 , №5 , P 492 , Oct. 1981

研究会資料

- 1) 蒲生 , 谷口 , 上坂 ; " 磁性薄膜の困難軸方向のスイッチングについて " , 信学会研資 MR67-16 , 1967
- 2) 蒲生・谷口 , 上坂 ; " 磁性薄膜メモリプレーンにおける遅延時間について " , 信学会研資 EC67-24 , 1968
- 3) 蒲生 , 山田 , 藤島 , 長沢 ; " CCDメモリの試作 " , 信学技報 EC76-55 , P. 17~23 , 1976
- 4) 蒲生 , 山田 , 藤島 , 長沢 ; " M L S 方式による CCDメモリ " , 信学技報 SSD78-4 , P. 23~30 , 1978
- 5) 蒲生 , 谷口 , 市山 ; " 1トランジスターセル方式 MOS・RAM メモリ容量 " , 信学技報 EC75-34 , 1975
- 6) 蒲生 , 長山 , 吉原 , 中野 ; " スケーリング法を適用した大容量ダイナミック MOS RAM の回路設計 " , 信学技報 EC79-46 , P. 31~41 , 1979